

#5

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

JC841 U.S. PTO
09/736282
12/15/00

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application:

1999年12月17日

出願番号
Application Number:

平成11年特許願第358305号

出願人
Applicant(s):

株式会社日立製作所
日立電子エンジニアリング株式会社

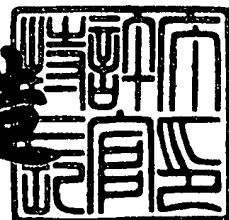
U.S. Appln. Filed 12-15-00
Inventor H. Aoki et al
mattingly stangers & malor
Docket T4A-104

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年11月10日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3093342

【書類名】	特許願
【整理番号】	H99026911
【提出日】	平成11年12月17日
【あて先】	特許庁長官殿
【国際特許分類】	H01L 21/66
【発明者】	
【住所又は居所】	東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所 半導体グループ内
【氏名】	青木 英之
【発明者】	
【住所又は居所】	東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所 半導体グループ内
【氏名】	和田 武史
【発明者】	
【住所又は居所】	東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所 半導体グループ内
【氏名】	難波 正昭
【発明者】	
【住所又は居所】	東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所 半導体グループ内
【氏名】	内田 昇
【発明者】	
【住所又は居所】	東京都渋谷区東 3 丁目 1 6 番 3 号 日立電子エンジニアリング株式会社内
【氏名】	勝見 茂樹
【発明者】	
【住所又は居所】	東京都渋谷区東 3 丁目 1 6 番 3 号 日立電子エンジニアリング株式会社内
【氏名】	和田 勇二

【発明者】

【住所又は居所】 東京都渋谷区東 3 丁目 1 6 番 3 号 日立電子エンジニアリング株式会社内

【氏名】 望月 正明

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【特許出願人】

【識別番号】 000233480

【氏名又は名称】 日立電子エンジニアリング株式会社

【代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【電話番号】 03-3366-0787

【手数料の表示】

【予納台帳番号】 006909

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 メモリチップのテスト方法、製造方法およびテスト装置、メモリモジュールのテスト方法、製造方法およびテスト装置、ならびにコンピュータの製造方法

【特許請求の範囲】

【請求項 1】 メモリチップが実装されたデータ処理装置を有し、

上記メモリチップへ供給されるべき信号を被テストメモリチップへ供給する工程と、

上記メモリチップから出力される出力信号と上記被テストメモリチップから出力される出力信号との間の関係を調べる工程と、を有することを特徴とするメモリチップのテスト方法。

【請求項 2】 請求項 1 記載のメモリチップのテスト方法において、上記被テストメモリチップは複数であり、上記メモリチップへ供給される信号は上記複数の被テストメモリチップへ並列に供給されることを特徴とするメモリチップのテスト方法。

【請求項 3】 請求項 1 記載のメモリチップのテスト方法において、上記データ処理装置は、上記メモリチップに結合され、上記メモリチップの動作を制御する制御回路を有することを特徴とするメモリチップのテスト方法。

【請求項 4】 請求項 1 記載のメモリチップのテスト方法において、上記調べる工程においては、一致／不一致が判定されることを特徴とするメモリチップのテスト方法。

【請求項 5】 請求項 1 記載のメモリチップのテスト方法において、上記メモリチップへ供給されるべき信号は、アドレス信号、データ信号、クロック信号および制御信号であることを特徴とするメモリチップのテスト方法。

【請求項 6】 メモリを半導体チップに形成する工程と、

第 1 のメモリが実装されたデータ処理装置から、該第 1 のメモリへ供給される信号を上記形成工程で半導体チップに形成されたメモリへ供給し、上記第 1 のメモリから出力される信号と上記形成工程で半導体チップに形成されたメモリから出力される信号との関係を調べる工程と、を有することを特徴とするメモリチッ

ブの製造方法。

【請求項 7】 被テストメモリチップが実装されるべきソケットと、メモリが実装されたデータ処理装置から、該メモリへ供給されるべき信号と該メモリから出力される出力信号とが供給される端子と、

上記メモリへ供給されるべき信号を上記ソケットへ供給し、上記ソケットから出力される出力信号と上記メモリから出力される信号との関係を判定する制御部と、を有することを特徴とするメモリチップのテスト装置。

【請求項 8】 複数のメモリチップが実装されたところのメモリモジュールを実装したデータ処理装置を有し、

上記メモリモジュールへ供給されるべき信号を被テストメモリチップへ供給する工程と、

上記メモリモジュールから出力される出力信号と上記被テストメモリチップから出力される出力信号との間の関係を調べる工程と、を有することを特徴とするメモリモジュールのテスト方法。

【請求項 9】 メモリチップを準備する工程と、

第 1 のメモリが実装されたデータ処理装置から、該第 1 のメモリへ供給されるべき信号を上記メモリチップへ供給し、上記第 1 のメモリから出力される信号と上記メモリチップから出力される信号との関係を調べる工程と、

所定の関係が上記工程で調べられたメモリチップを、基板に実装することによりメモリモジュールを形成する工程と、を有することを特徴とするメモリモジュールの製造方法。

【請求項 10】 複数のメモリチップが実装されたメモリモジュールが装着されるべきボードと、

メモリモジュールが実装されたデータ処理装置から、該メモリモジュールへ供給されるべき信号と該メモリモジュールから出力される出力信号とが供給される端子と、

上記メモリモジュールへ供給されるべき信号を上記ボードへ供給し、上記ボードから出力される出力信号と上記メモリモジュールから出力される信号との関係を判定する制御部と、を有することを特徴とするメモリモジュールのテスト装置

【請求項 1 1】 CPUと、メモリモジュールが装着されるべきソケットと、上記CPUと上記ソケットとに接続された制御回路とを有するマザーボードを準備する工程と、

複数のメモリチップが実装されたメモリモジュールを準備する工程と、

上記メモリモジュールを上記ソケットに装着する工程とを有し、

上記メモリモジュールにおけるメモリチップは、テスト工程で所定の関係を満足し、上記テスト工程は、第 1 のメモリが実装されたデータ処理装置から、該第 1 のメモリへ供給されるべき信号が上記メモリチップへ供給され、上記第 1 のメモリから出力される信号と上記メモリチップから出力される信号との関係を調べることを特徴とするコンピュータの製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、メモリチップ、メモリモジュールのテストおよび製造技術に関し、特にパーソナルコンピュータなどを利用して、より実使用状態に近い条件にて測定対象製品を試験することが可能なメモリテストシステムに適用して有効な技術に関する。

【0 0 0 2】

【従来の技術】

本発明者が検討した技術として、メモリチップ、メモリモジュールのテスト技術においては、以下のようなことが考えられる。たとえば、半導体メモリのテスト技術では、メモリの大容量化、多ビット化、高速化などに伴い、それに対応できるメモリテストシステムが必要になっている。特に、メモリ容量の大容量化はテスト時間の増加につながり、またデータビット幅の多ビット化は同時測定数の低下を伴い、さらに速度性能の向上に対しては周波数の高速化や精度・品質の高精度化が要求される。

【0 0 0 3】

このような半導体メモリのメモリテストシステムとしては、主に半導体メモリ

の単体製品を対象にした解析、試験を共用可能な汎用メモリテストや、メモリモジュールのみを対象にした簡単な試験を実施するモジュールテストなどがあり、測定対象製品に適したテスト装置が用いられている。

【0004】

【発明が解決しようとする課題】

ところで、前記のような汎用メモリテストやモジュールテストなどのテスト装置について、本発明者が検討した結果、以下のようなことが明らかとなった。たとえば、汎用メモリテストは、高機能であるが価格が高く、また機能の制限より年々変わる実使用状態に近い条件をハードウェア的にもソフトウェア的にも実現させることは困難である。一方、モジュールテストは、安価ではあるが、テスト条件、パターンが固定しており、使い勝手が良くないものとなっている。

【0005】

また、メモリテストやモジュールテストで良品選別されたメモリチップ、メモリモジュールなどを用いる、たとえばパーソナルコンピュータなどのメーカーにおいては、メモリチップ、メモリモジュールの製造メーカーや形式、種類などの違いにより、たとえばメモリ空間をCPUによる制御回路の制御に基づいてランダム的にアクセスするような時、リード/ライトが正しく動作しないなどの不具合が発生する場合などもあり、テストによる良品選別の限界とともに、より実装製品の実使用状態に近い条件での検査が望まれている。

【0006】

そこで、本発明の目的は、メモリチップ、メモリモジュールのテストあるいは製造技術において、安価で高精度に試験あるいは選別することができる技術を提供するものである。

【0007】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0008】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば

、次のとおりである。

【 0 0 0 9 】

本発明によるメモリチップのテスト方法は、メモリチップが実装されたデータ処理装置を有し、上記メモリチップへ供給されるべき信号を被テストメモリチップへ供給する工程と、上記メモリチップから出力される出力信号と上記被テストメモリチップから出力される出力信号との間の関係を調べる工程と、を有することを特徴とするものである。

【 0 0 1 0 】

上記メモリチップのテスト方法において、上記被テストメモリチップは複数であり、上記メモリチップへ供給される信号は上記複数の被テストメモリチップへ並列に供給されることを特徴とするものである。上記データ処理装置は、上記メモリチップに結合され、上記メモリチップの動作を制御する制御回路を有することを特徴とするものである。上記調べる工程においては、一致／不一致が判定されることを特徴とするものである。上記メモリチップへ供給されるべき信号は、アドレス信号、データ信号、クロック信号および制御信号であることを特徴とするものである。

【 0 0 1 1 】

本発明によるメモリチップの製造方法は、メモリを半導体チップに形成する工程と、第 1 のメモリが実装されたデータ処理装置から、該第 1 のメモリへ供給される信号を上記形成工程で半導体チップに形成されたメモリへ供給し、上記第 1 のメモリから出力される信号と上記形成工程で半導体チップに形成されたメモリから出力される信号との関係を調べる工程と、を有することを特徴とするものである。

【 0 0 1 2 】

上記メモリチップの製造方法において、上記形成工程で半導体チップに形成されたメモリは複数であり、上記第 1 のメモリへ供給される信号は上記形成工程で半導体チップに形成された複数のメモリへ並列に供給されることを特徴とするものである。上記データ処理装置は、上記第 1 のメモリに結合され、上記第 1 のメモリの動作を制御する制御回路を有することを特徴とするものである。上記調べ

る工程においては、一致／不一致が判定されることを特徴とするものである。上記第 1 のメモリへ供給される信号は、アドレス信号、データ信号、クロック信号および制御信号であることを特徴とするものである。

【0 0 1 3】

本発明によるメモリチップのテスト装置は、被テストメモリチップが実装されるべきソケットと、メモリが実装されたデータ処理装置から、該メモリへ供給されるべき信号と該メモリから出力される出力信号とが供給される端子と、上記メモリへ供給されるべき信号を上記ソケットへ供給し、上記ソケットから出力される出力信号と上記メモリから出力される信号との関係を判定する制御部と、を有することを特徴とするものである。

【0 0 1 4】

上記メモリチップのテスト装置において、上記被テストメモリチップは複数であり、上記メモリへ供給されるべき信号は上記複数の被テストメモリチップへ並列に供給されることを特徴とするものである。上記データ処理装置は、上記メモリに結合され、上記メモリの動作を制御する制御回路を有することを特徴とするものである。上記制御部においては、一致／不一致が判定されることを特徴とするものである。上記メモリへ供給されるべき信号は、アドレス信号、データ信号、クロック信号および制御信号であることを特徴とするものである。上記データ処理装置に実装されたメモリから信号を取り出して、上記端子へ供給するための基板を有することを特徴とするものである。

【0 0 1 5】

本発明によるメモリモジュールのテスト方法は、複数のメモリチップが実装されたところのメモリモジュールを実装したデータ処理装置を有し、上記メモリモジュールへ供給されるべき信号を被テストメモリチップへ供給する工程と、上記メモリモジュールから出力される出力信号と上記被テストメモリチップから出力される出力信号との間の関係を調べる工程と、を有することを特徴とするものである。

【0 0 1 6】

上記メモリモジュールのテスト方法において、上記メモリモジュールへ供給さ

れるべき信号は、上記複数のメモリチップの内の第 1 のメモリチップへ供給される信号であり、上記メモリモジュールから出力される信号は上記複数のメモリチップの内の第 2 のメモリチップから出力される出力信号であることを特徴とするものであり、さらに上記第 1 のメモリチップと上記第 2 のメモリチップとは同じメモリチップであることを特徴とするものである。

【0017】

また、上記メモリモジュールのテスト方法において、上記被テストメモリチップは複数であり、上記メモリモジュールへ供給される信号は上記複数の被テストメモリチップへ並列に供給されることを特徴とするものである。上記データ処理装置は、上記メモリモジュールに結合され、上記メモリモジュールの動作を制御する制御回路を有することを特徴とするものである。上記調べる工程においては、一致／不一致が判定されることを特徴とするものである。上記メモリモジュールへ供給されるべき信号は、アドレス信号、データ信号、クロック信号および制御信号であることを特徴とするものである。上記被テストメモリチップは、複数のメモリチップが実装されたメモリモジュールにおける 1 つのメモリチップであることを特徴とするものである。

【0018】

本発明によるメモリモジュールの製造方法は、メモリチップを準備する工程と、第 1 のメモリが実装されたデータ処理装置から、該第 1 のメモリへ供給されるべき信号を上記メモリチップへ供給し、上記第 1 のメモリから出力される信号と上記メモリチップから出力される信号との関係を調べる工程と、所定の関係が上記工程で調べられたメモリチップを、基板に実装することによりメモリモジュールを形成する工程と、を有することを特徴とするものである。

【0019】

上記メモリモジュールの製造方法において、上記メモリチップは複数であり、上記第 1 のメモリへ供給される信号は上記複数のメモリチップへ並列に供給されることを特徴とするものである。上記データ処理装置は、上記第 1 のメモリに結合され、上記第 1 のメモリの動作を制御する制御回路を有することを特徴とするものである。上記調べる工程においては、一致／不一致が判定されることを特徴

とするものである。上記第 1 のメモリへ供給されるべき信号は、アドレス信号、データ信号、クロック信号および制御信号であることを特徴とするものである。

【 0 0 2 0 】

本発明によるメモリモジュールのテスト装置は、複数のメモリチップが実装されたメモリモジュールが装着されるべきボードと、メモリモジュールが実装されたデータ処理装置から、該メモリモジュールへ供給されるべき信号と該メモリモジュールから出力される出力信号とが供給される端子と、上記メモリモジュールへ供給されるべき信号を上記ボードへ供給し、上記ボードから出力される出力信号と上記メモリモジュールから出力される信号との関係を判定する制御部と、を有することを特徴とするものである。

【 0 0 2 1 】

上記メモリモジュールのテスト装置において、上記メモリモジュールへ供給されるべき信号は、上記複数のメモリチップの内の第 1 のメモリチップへ供給される信号であり、上記メモリモジュールから出力される信号は上記複数のメモリチップの内の第 2 のメモリチップから出力される出力信号であることを特徴とするものであり、さらに上記第 1 のメモリチップと上記第 2 のメモリチップとは同じメモリチップであることを特徴とするものである。

【 0 0 2 2 】

また、上記メモリモジュールのテスト装置において、上記メモリモジュールへ供給される信号は上記複数のメモリチップへ並列に供給されることを特徴とするものである。上記データ処理装置は、上記メモリモジュールに結合され、上記メモリモジュールの動作を制御する制御回路を有することを特徴とするものである。上記制御部においては、一致／不一致が判定されることを特徴とするものである。上記メモリモジュールへ供給されるべき信号は、アドレス信号、データ信号、クロック信号および制御信号であることを特徴とするものである。上記ボードにおけるテストの単位を規定することを特徴とするものであり、さらに上記ボードに装着されるメモリモジュールに実装された複数のメモリチップの内の 1 つのメモリチップがテストされることを特徴とするものである。

【 0 0 2 3 】

本発明によるコンピュータの製造方法は、CPUと、メモリモジュールが装着されるべきソケットと、上記CPUと上記ソケットとに接続された制御回路とを有するマザーボードを準備する工程と、複数のメモリチップが実装されたメモリモジュールを準備する工程と、上記メモリモジュールを上記ソケットに装着する工程とを有し、上記メモリモジュールにおけるメモリチップは、テスト工程で所定の関係を満足し、上記テスト工程は、第1のメモリが実装されたデータ処理装置から、該第1のメモリへ供給されるべき信号が上記メモリチップへ供給され、上記第1のメモリから出力される信号と上記メモリチップから出力される信号との関係を調べることを特徴とするものである。

【0024】

上記コンピュータの製造方法において、上記第1のメモリへ供給される信号は上記複数のメモリチップへ並列に供給されることを特徴とするものである。上記データ処理装置は、上記第1のメモリに結合され、上記第1のメモリの動作を制御する制御回路を有することを特徴とするものである。上記テスト工程においては、一致／不一致が判定されることを特徴とするものである。上記第1のメモリへ供給されるべき信号は、アドレス信号、データ信号、クロック信号および制御信号であることを特徴とするものである。

【0025】

よって、上記メモリチップのテスト方法、製造方法およびテスト装置、メモリモジュールのテスト方法、製造方法およびテスト装置、ならびにコンピュータの製造方法によれば、メモリチップ、メモリモジュールを実使用状態に近づけて試験を行うことができる。また、データ処理装置を含むパーソナルコンピュータなどを利用した安価で高性能な試験装置を実現することができる。さらに、メモリチップ、メモリモジュールの両方を試験することができる。また、製品サイクルの短いパーソナルコンピュータなどの機種変更に対して、測定用パーソナルコンピュータの交換のみで対応することができる。さらに、パーソナルコンピュータなどへの実装時に問題となる周辺回路の特性やプログラム処理による影響を含めて試験をすることができる。

【0026】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一部材には同一の符号を付し、その繰り返しの説明は省略する。

【0027】

図1は本発明の一実施の形態のメモリテストシステムの全体を示す概略外観図、図2～図8は本実施の形態のメモリテストシステムにおいて、各装置の構成を示す説明図、図9～図11はメモリ単品試験時を示す説明図、図12～図16は各基板を示すブロック図、図17はリード／ライト切替・判定方法を示す説明図、図18および図19はモジュール試験時を示す説明図、図20はテスト工程を示すフロー図、図21はモジュール実装および製品実装工程を示すフロー図である。

【0028】

まず、図1により、本実施の形態のメモリテストシステムの構成の一例を説明する。(a)はシステム筐体の正面図、(b)はその側面図、(c)は別装置をそれぞれ示す。本実施の形態のメモリテストシステムは、たとえばPC(Personal Computer)を利用したPCテストとされ、動作信頼性が確認された基準となるメモリモジュールが搭載された測定PCユニット1と、この測定PCユニット1の測定PCから取り出された信号を分配する信号分配ユニット2と、この信号分配ユニット2により分配された信号を用いて多数個同時測定される測定対象製品が実装される複数(ここでは16枚)のPFB(Performance Board)3と、試験の実施状況などを表示する表示パネル4と、システムの動作電圧を発生する電源5と、試験条件の選択、解析などの制御を行う制御PC6などから構成されている。

【0029】

このPCテストにおいて、測定PCユニット1、信号分配ユニット2、PFB3、表示パネル4、および電源5は同じ筐体内に収納され、制御PC6のみが別装置となっている。この筐体内において、PFB3は温度などの実使用状態を作るための恒温槽7の内部に収納されて正面から見て左側に配置され、右側には表

示パネル 4 が上側に、測定 PC ユニット 1 が下側にそれぞれ配置されている。また、表示パネル 4 の後側には信号分配ユニット 2 が、測定 PC ユニット 1 の後側には電源 5 がそれぞれ配置されている。

【 0 0 3 0 】

測定 PC ユニット 1 は、基準となるメモリモジュールが搭載されたデータ処理装置を含む PC である測定 PC 8 を内部に持ち、たとえば図 2 に一例を示すように、PC マザーボード 1 1 の主面上に、CPU 1 2 と、メモリモジュール 1 3 が装着されるべきメモリスロット 1 4 と、CPU 1 2 とメモリスロット 1 4 とに接続された制御回路であるチップセット L S I 1 5 と、インタフェース用の P C I スロット 1 6 と、2 次キャッシュメモリ 1 7 と、電源 1 8 などが搭載されている。このメモリモジュール 1 3 は、CPU 1 2 との信号のやり取りをチップセット L S I 1 5 と呼ばれるメモリコントローラ L S I を介して制御される。実行的にメモリモジュール 1 3 を制御しているのはチップセット L S I 1 5 であり、アドレス割り付けやデータ読み書きを行っている。よって、このチップセット L S I 1 5 からのメモリモジュール 1 3 上のメモリ単体への信号を取り出せば実使用条件と同一の試験が可能となる。

【 0 0 3 1 】

この PC マザーボード 1 1 においては、たとえば図 3 に一例を示すように、チップセット L S I 1 5 は、ホストバスを介して CPU 1 2 と接続され、専用バスにてメモリモジュール 1 3 へ接続されている。また、チップセット L S I 1 5 は、P C I バスを介して P C I スロット 1 6 と接続される。一般的な動作として、CPU 1 2 からのデータ読み出しの命令をチップセット L S I 1 5 が受け、メモリモジュール 1 3 にアクセス可能なようにアドレスをデコードし、メモリモジュール 1 3 に送付する。読み出されたデータは、メモリモジュール 1 3 より、チップセット L S I 1 5 を通して CPU 1 2 へ送付される。一方、P C I スロット 1 6 に接続されている外部装置よりのデータは、P C I バスを通してチップセット L S I 1 5 に送付され、メモリモジュール 1 3 のアドレスにデコードされ書き込まれる。

【 0 0 3 2 】

信号分配ユニット 2 は、測定 P C ユニット 1 内の基準となるメモリモジュール 1 3 が搭載された測定 P C 8 から取り出された信号を受け、各 P F B 3 への信号の分配を行うための手段であり、メモリモジュール 1 3 より取り出された信号は信号引出基板にてバッファリングされ、分配基板を通して各 P F B 3 へ送付される。

【 0 0 3 3 】

P F B 3 は、測定 P C ユニット 1 内の基準となるメモリモジュールと同一の実使用条件で動作させ、測定対象製品であるメモリの多数個同時測定を可能とする D U T (D e v i c e U n d e r T e s t) ボードであり、たとえば図 4 ～ 図 7 に一例を示す。図 4 および図 5 は T S O P (T h i n S m a l l O u t - l i n e P a c k a g e) を、図 6 および図 7 は T C P (T a p e C a r r i e r P a c k a g e) をそれぞれ測定対象のメモリ I C とする P F B 3 であり、図 4、図 6 は全体の平面図 (a) と側面図 (b) を、図 5、図 7 はソケットボードの平面図 (a) と側面図 (b) をそれぞれ示す。

【 0 0 3 4 】

図 4 および図 5 に示すように、T S O P (メモリ I C) を測定対象とする P F B 3 は、それぞれ T S O P を実装する複数 (ここでは 8 個) の I C ソケット 2 1 を主面側に搭載した複数 (ここでは 8 枚) のソケットボード 2 2 と、信号分配、比較判定する複数 (ここでは 3 6 個) の A S I C (A p p l i c a t i o n S p e c i f i c I n t e g r a t e d C i r c u i t) 2 3 を主面側に搭載したマザーボード 2 4 との 2 種類のボードより構成され、8 枚のソケットボード 2 2 と 1 枚のマザーボード 2 4 はそれぞれ裏面側に設けられたコネクタ 2 5 を介して接続されている。また、1 枚が図 4 のように構成された P F B 3 は他の P F B 3 とコネクタ 2 6 を通して接続され、最大で 1 6 枚の P F B 3 が恒温槽 7 内に収納されて、最大で (8 個 × 8 枚 × 1 6 枚) = 1 0 2 4 個の T S O P の同時測定が可能となっている。

【 0 0 3 5 】

図 6 および図 7 に示すように、T C P (メモリ I C) を測定対象とする P F B 3 も同様に、それぞれ T C P を実装する複数 (ここでは 6 個) の I C ソケット 3

1 を主面側に搭載した複数（ここでは 8 枚）のソケットボード 3 2 と、信号分配、比較判定する複数（ここでは 2 8 個）の A S I C 3 3 を主面側に搭載したマザーボード 3 4 との 2 種類のボードより構成され、8 枚のソケットボード 3 2 と 1 枚のマザーボード 2 4 はそれぞれ裏面側に設けられたコネクタ 3 5 を介して接続されている。また、1 枚が図 6 のように構成される P F B 3 は他の P F B 3 とコネクタ 3 6 を通して接続され、最大で 1 6 枚の P F B 3 が恒温槽 7 内に収納されて、最大で（6 個×8 枚×1 6 枚）= 7 6 8 個の T C P の同時測定が可能となっている。

【 0 0 3 6 】

表示パネル 4 は、試験の実施状況や測定 P C ユニット 1 の動作条件などを表示するための手段であり、この表示パネル 4 に試験者が目視認識可能に試験の条件、試験中の状況などが表示される。

【 0 0 3 7 】

電源 5 は、P C テスタを動作する電圧を発生するための手段であり、この電源 5 により P C テスタのそれぞれの内部装置を動作させるために必要な電圧が発生される。また、電源より発生される電圧を変化させることにより、異なる数種類の試験を行うことも可能である。

【 0 0 3 8 】

制御 P C 6 は、試験条件の選択、解析などの制御を行うための制御基板を内部に持ち、この制御基板にて試験の開始、終了などの制御が行われる。

【 0 0 3 9 】

次に、図 8 により、以上のように構成される P C テスタにおける信号系統の一例を説明する。図 8 に示すように、P C テスタにおける信号系統は、測定 P C ユニット 1 内の測定 P C 8 に搭載されているメモリモジュール 1 3 より信号を取り出してバッファリングする信号引出基板 4 1 と、試験の開始、終了などの制御信号を出力する制御 P C 6 内の制御基板 4 2 と、信号引出基板 4 1 にてバッファリングされた信号を分配する信号分配ユニット 2 内の 2 段構造（1 段目 1 枚、2 段目 3 枚）からなる分配基板 4 3 と、分配基板 4 3 にて分配された信号が送付される複数（1 6 枚）の P F B 3 などの各種基板を介して構成される。なお、電源 5

からは動作のために必要な電圧が各 PFB3 へ供給される。

【0040】

実際に、図9により、PCテストを用いたテスト時の信号系統の一例を説明する。図9に示すように、測定PCユニット1内のPCマザーボード11に搭載されているメモリモジュール13より信号引出基板41にて信号を取り出してバッファリングする。このバッファリングされた信号を、パイプラインデータ転送用のフリップフロップ回路(F/F)51や分配回路52などを有する1段目、2段目の分配基板43により分配する。この分配された信号を、パイプラインデータ転送用のフリップフロップ回路(F/F)53やコマンド解析・印加制御(R/W)回路54、判定回路55、判定結果出力用のレジスタ(P/F: pass/fail)56などを有するPFB3へ送付し、このPFB3上のICソケット21, 31に搭載されるTSOP、TCPなどの測定メモリ57の測定を行う。この測定メモリ57に対しては、PFB3よりアドレス、クロック、コントロールなどの信号が印加され、またPFB3との間でデータなどの信号が入出力可能となっており、そしてPFB3のレジスタ56から測定結果としてpass/fail信号が取り出される。

【0041】

この際に、データ転送はパイプライン方式による高速動作が可能である。このパイプライン方式とは、回路間でフリップフロップ回路51, 53でデータをラッチさせながら信号間の同期を取り、高速信号伝送する方式である。この場合、フリップフロップ回路51, 53間のクロック信号の周波数は伝送する速度以上の速度が必要である。このクロック信号は基準となるメモリモジュール13、たとえばDIMM(Dual In-line Memory Module)のSD-RAM(Synchronous Dynamic Random Access Memory)のクロック信号を使用する。このために、パイプラインのためのフリップフロップ回路は、各基板の入力段と出力段に設けられ、信号伝送間のバラツキを吸収可能とする。

【0042】

このパイプライン方式では、たとえば図10(図9に付した(1)~(4)に

おけるタイミング) に示すように、D I M Mの動作における信号 n は、1 段目の分配基板 4 3 からの出力で 2 サイクル遅延され、2 段目の分配基板 4 3 からの出力で 2 サイクル遅延され、さらに測定メモリ 5 7 に対して 2 サイクル遅延され、D I M Mの動作から測定メモリ 5 7 への印加までは 6 サイクル遅延されて伝送される。なお、1 段目の測定メモリ 5 7 までは 6 サイクルの遅延ですむが、2 段目以降の測定メモリ 5 7 に対してはさらに遅延されて供給される。これは、ピーク時の消費電力を低減する目的などによるものである。よって、パイプライン動作方式により、測定時は D I M M動作時に対してサイクルをシフトして動作させて判定する。このように、実際の基準となる D I M Mの動作サイクルと測定メモリ 5 7 を動作させるサイクルはパイプライン段数分遅れたタイミングにて試験されるが、基準となる D I M Mと同条件の動作速度と動作パターンが維持可能である。

【 0 0 4 3 】

このテスト時には、たとえば図 1 1 に示すように、P C マザーボード 1 1 に搭載されているメモリモジュール 1 3 である D I M M 6 1 より信号が取り出される。図 1 1 はメモリ単体試験時の一例であり、実使用条件と同一の試験を行うために、チップセット L S I 1 5 からの D I M M 6 1 上のメモリ I C である S D - R A M 6 2 への信号を取り出す方法が用いられ、複数の基準となる S D - R A M 6 2 から 1 個が任意に選択されて信号が取り出される。図 1 1 に示すように、選択された 1 個の S D - R A M 6 2 より、たとえば S D - R A M 6 2 に対応するリムに半田付けにより配線を接続し、この配線を介して直接信号を引き出し、直ぐに信号引出基板 4 1 にてバッファリングする。この信号取り出し方法により、波形劣化および元の S D - R A M 6 2 への反射などの影響を極力抑えることができる。

【 0 0 4 4 】

次に、図 1 2 ～図 1 6 により、前記図 8 および図 9 に示した P C テスタの信号系統を構成する各基板の機能ブロックを具体的に説明する。図 1 2 は信号引出基板 4 1、図 1 3 は制御基板 4 2、図 1 4 は分配基板 4 3、図 1 5 および図 1 6 は P F B 3 をそれぞれ示す機能ブロック図である。また、図 1 5 は P F B 3 の分配

部を、図 16 はソケット部（2 ソケット分）をそれぞれ示す。

【0045】

図 12 に示すように、信号引出基板 41 には、測定 PC 8 の PC マザーボード 11 に搭載されている基準となる DIMM 61 上の任意の基準となる SDRAM 62 より引き出された信号が入力端子から入力され、この入力された信号のうち、たとえばアドレス信号 Add、制御信号 Cont、データ信号 Data は信号ブロック 1～n で処理され、クロック信号 Clk はクロック信号ブロックで処理され、それぞれ出力端子から出力される。

【0046】

アドレス信号 Add、制御信号 Cont、データ信号 Data の信号ブロック 1～n はそれぞれ、入力段と出力段に配置されるパイプラインデータ転送用のフリップフロップ回路 FF111～FFn11、FF112～FFn12 と、差動ドライバ DD111～DDn11 などから構成され、入力されたアドレス信号 Add、制御信号 Cont、データ信号 Data の各信号はフリップフロップ回路 FF111～FFn11、FF112～FFn12 において基準クロック信号に同期して一旦ラッチされ、信号ブロック間のバラツキが補正され、同期が取られて差動ドライバ DD111～DDn11 を通じて正転／反転の各信号として出力される。

【0047】

クロック信号 Clk のクロック信号ブロックは、波形整形するクロック生成回路と、タイミングを調整するタイミング調整回路と、差動ドライバ DD11 などから構成され、入力されたクロック信号 Clk はクロック生成回路において一旦波形整形され、前記信号ブロック 1～n におけるフリップフロップ回路 FF111～FFn11、FF112～FFn12 の基準クロック信号となり、この時点にて基準となる DIMM 61 とは数周期遅延することとなる。また、クロック信号 Clk はタイミング調整回路においてタイミングが調整され、前記信号ブロック 1～n と同期が取られて差動ドライバ DD11 を通じて正転／反転のクロック信号として出力される。

【0048】

また、この信号引出基板 4 1 には、低速 BUS（バス）信号を入力とする差動レシーバ DR 1 1、低速 BUS 制御回路、制御レジスタなどが設けられており、制御 PC 6 より分配基板 4 3 を介して低速 BUS 信号が入力されると、この低速 BUS 信号を差動レシーバ DR 1 1 が受け、低速 BUS 制御回路、制御レジスタを介して前記クロック信号ブロックのクロック生成回路、タイミング調整回路における基準クロック信号のタイミング調整が実施される。なお、低速 BUS 制御回路には基板番号が供給されている。

【0049】

図 1 3 に示すように、制御基板 4 2 は、制御 PC 6 の AT (Asynchronous Transfer) BUS に接続され、ATBUS-I/F (Interface) ・アドレスデコード・I/O (Input/Output) アドレスデコード回路、フラグ回路 (I/O アドレス)、アドレス制御回路、データメモリ、低速 BUS 制御回路、電源制御回路、差動ドライバ DD 2 1、差動レシーバ DR 2 1 などから構成され、ATBUS-I/F ・アドレスデコード・I/O アドレスデコード回路に ATBUS から信号が入力され、フラグ回路、アドレス制御回路は ATBUS と入出力可能となっている。

【0050】

ATBUS-I/F ・アドレスデコード・I/O アドレスデコード回路に入力されたアドレス信号はデコードされ、このデコードされたアドレス信号に基づいてアドレス制御回路は制御し、データメモリに対するリード/ライトなどを実行する。また、低速 BUS 制御回路は、信号引出基板 4 1、分配基板 4 3 などにおける基準クロック信号のタイミング調整のために低速 BUS 信号を差動ドライバ DD 2 1 を通じて出力するとともに、PFB 3 より測定結果の判定信号を含む低速 BUS 信号が差動レシーバ DR 2 1 を通じて入力され、測定メモリ 5 7 の Pass/fail が判定される。この低速 BUS 信号は、自己診断時、デバッグ時などにおいて、解析機能の制御などに割り込み信号として用いられる。さらに、電源制御回路から電源に対して電源 ON/OFF の信号が出力されている。

【0051】

図 1 4 に示すように、分配基板 4 3 には、信号引出基板 4 1 よりアドレス信号

A d d、制御信号C o n t、データ信号D a t a、クロック信号C l kなどが入力端子から入力され、また制御基板42より低速BUS信号などが入力端子から入力され、アドレス信号A d d、制御信号C o n t、データ信号D a t aは信号ブロック1～nで、クロック信号C l kはクロック信号ブロックで、低速BUS信号は低速BUS信号ブロックでそれぞれ処理され、それぞれ出力端子から出力される。

【0052】

アドレス信号A d d、制御信号C o n t、データ信号D a t aの信号ブロック1～nはそれぞれ、入力段の差動レシーバD R 1 3 1～D R n 3 1と、入力段に配置されるパイプラインデータ転送用のフリップフロップ回路F F 1 3 1～F F n 3 1と、通常の測定動作と低速BUS信号による動作とを切り換えるマルチプレクサM U X 1 3 1～M U X n 3 1と、出力段に配置されるパイプラインデータ転送用と分配用とを兼ね備えた複数（ここでは6個）のフリップフロップ回路F F 1 3 2～F F n 3 2と、出力段の複数（ここでは6個）の差動ドライバD D 1 3 1～D D n 3 1などから構成され、入力されたアドレス信号A d d、制御信号C o n t、データ信号D a t aの各信号を差動レシーバD R 1 3 1～D R n 3 1で受けると、入力段のフリップフロップ回路F F 1 3 1～F F n 3 1において基準クロック信号に同期して一旦ラッチされ、さらにマルチプレクサM U X 1 3 1～M U X n 3 1で選択され、そして出力段の各フリップフロップ回路F F 1 3 2～F F n 3 2において基準クロック信号に同期して一旦ラッチされ、信号ブロック間、さらに各信号ブロック内の分配間のバラツキが補正され、同期が取られて各差動ドライバD D 1 3 1～D D n 3 1を通じて6分配された正転／反転の各信号として出力される。

【0053】

クロック信号C l kのクロック信号ブロックは、入力段の差動レシーバD R 3 1と、波形整形するクロック生成回路と、タイミングを調整するタイミング調整回路と、出力段の複数（ここでは6個）の差動ドライバD D 3 1などから構成され、入力されたクロック信号C l kを差動レシーバD R 3 1で受けると、クロック生成回路において一旦波形整形され、前記信号ブロック1～nにおけるフリッ

フロップ回路 $FF131 \sim FFn31$, $FF132 \sim FFn32$ の基準クロック信号となり、またクロック信号 Clk はタイミング調整回路においてタイミングが調整され、前記信号ブロック $1 \sim n$ と同期が取られて各差動ドライバ $DD31$ を通じて 6 分配された正転／反転のクロック信号として出力される。

【0054】

低速 BUS 信号の低速 BUS 信号ブロックは、入力段の差動レシーバ $DR32$ と、出力段の複数（ここでは 6 個）の差動ドライバ $DD32$ と、信号引出基板 41 への出力用の差動ドライバ $DD33$ などから構成され、入力された低速 BUS 信号を差動レシーバ $DR32$ で受けると、各差動ドライバ $DD32$ を通じて 6 分配された正転／反転の低速 BUS 信号として出力される。また、差動ドライバ $DD33$ を介して、信号引出基板 41 へも正転／反転の低速 BUS 信号が出力される。

【0055】

また、この分配基板 43 には、低速 BUS 信号を入力とする低速 BUS 制御回路、2 系統の制御レジスタなどが設けられており、制御基板 42 より低速 BUS 信号が入力されると、この低速 BUS 信号を低速 BUS 制御回路から、一方の制御レジスタを介して前記クロック信号ブロックのクロック生成回路における基準クロック信号のタイミング調整が実施され、他方の制御レジスタを介してタイミング調整回路におけるタイミング調整が実施される。また、低速 BUS 制御回路を介して、前記信号ブロック $1 \sim n$ のマルチプレクサ $MUX131 \sim MUXn31$ を通常の測定動作から低速 BUS 信号による動作に切り換えることも可能である。なお、低速 BUS 制御回路には基板番号が供給されている。

【0056】

以上のように構成される分配基板 43 は、1 段目と 2 段目で同様な回路構成となっており、1 段目で基準となる $DIMM61$ より信号引出基板 41 を介して引き出した信号を 6 分配し、さらに 2 段目の 2 枚で各 6 分配、1 枚で 4 分配し、最大で 16 分配して次段に位置する $PFB3$ に動作速度や動作パターンを変えることなく、パイプライン方式にて高速伝送を可能としている。また、分配基板 43 内には分配回路内の信号 $Pass$ を試験するための制御回路も有する。

【0057】

図15および図16のうち、図15に示すように、PFB3の分配部には、2段目の分配基板43よりアドレス信号Add、制御信号Cont、データ信号Data、クロック信号Clkなどが入力端子から入力され、アドレス信号Add、制御信号Cont、データ信号Dataは信号ブロック1～nで処理され、クロック信号Clkはクロック信号ブロックで処理され、それぞれPFB3のソケット部へ出力される。

【0058】

アドレス信号Add、制御信号Cont、データ信号Dataの信号ブロック1～nはそれぞれ、入力段の差動レシーバDR141～DRn41と、入力段に配置されるパイプラインデータ転送用のフリップフロップ回路FF141～FFn41と、分配用の複数（ここでは4個）のドライバD141～Dn41などから構成され、入力されたアドレス信号Add、制御信号Cont、データ信号Dataの各信号を差動レシーバDR141～DRn41で受けると、入力段のフリップフロップ回路FF141～FFn41において基準クロック信号に同期して一旦ラッチされ、各ドライバD141～Dn41を通じて4分配された各信号として出力される。

【0059】

クロック信号Clkのクロック信号ブロックは、入力段の差動レシーバDR41と、波形整形するクロック生成回路と、分配用の複数（ここでは4個）のドライバD41などから構成され、入力されたクロック信号Clkを差動レシーバDR41で受けると、クロック生成回路において一旦波形整形され、前記信号ブロック1～nにおけるフリップフロップ回路FF141～FFn41の基準クロック信号となり、また各ドライバD41を通じて4分配されたクロック信号として出力される。

【0060】

また、このPFB3の分配部には、制御信号Cont、基準クロック信号を入力とするコマンド解析・判定・I/O制御回路、I/O制御信号を分配する複数（ここでは4個）のドライバD42、判定信号を分配する複数（ここでは4個）

のドライバD 4 3などが設けられており、コマンド解析・判定・I/O制御回路において制御信号C o n tに基づいたコマンドの解析が実施されて、リード/ライトのI/O制御信号、判定開始の判定信号が発生され、I/O制御信号は各ドライバD 4 2を通じて4分配されて出力され、判定信号も各ドライバD 4 3を通じて4分配されて出力される。

【0 0 6 1】

以上のPFB 3の分配部より出力されたアドレス信号A d d、制御信号C o n t、データ信号D a t a、クロック信号C l k、I/O制御信号、判定信号の各信号は、以下において図1 6を用いて説明するPFB 3のソケット部（2ソケット分）への入力信号となる。なお、図1 5の出力段、図1 6の入力段にそれぞれ付した数字①～⑤は同じ信号系統として接続されることを示す。

【0 0 6 2】

図1 6に示すように、PFB 3のソケット部（2ソケット分）には、PFB 3の分配部よりアドレス信号A d d、制御信号C o n t、データ信号D a t a、クロック信号C l k、I/O制御信号、判定信号などが入力され、また2段目の分配基板4 3より低速BUS信号などが入力端子から入力され、アドレス信号A d d、制御信号C o n tは入力系2分配ブロックで、データ信号D a t aはデータ系3分配ブロックで、クロック信号C l kはクロック信号ブロックで、I/O制御信号はI/O制御ブロックで、判定信号は判定ブロックで、低速BUS信号は低速BUSブロックでそれぞれ処理され、それぞれ出力端子から出力される。

【0 0 6 3】

アドレス信号A d d、制御信号C o n tの入力系2分配ブロックは、出力段に配置されるパイプラインデータ転送用と分配用とを兼ね備えた複数（ここでは2個）のフリップフロップ回路FF 5 1と、出力段の複数（ここでは2個）のドライバD 5 1などから構成され、入力されたアドレス信号A d d、制御信号C o n tの各信号はフリップフロップ回路FF 5 1において基準クロック信号に同期して一旦ラッチされ、入力系2分配ブロック間、さらに入力系2分配ブロック内の分配間のバラツキが補正され、同期が取られて各ドライバD 5 1を通じて2分配される。この2分配されたアドレス信号A d d、制御信号C o n tは、一方が2

つの各 I C ソケット 2 1 に搭載された各測定メモリ (D U T 1, D U T 2) 5 7 に、他方が次段の A S I C 2 3, 3 3 にそれぞれ供給される。

【 0 0 6 4 】

データ信号 D a t a のデータ系 3 分配ブロックは、出力段に配置されるパイプラインデータ転送用と分配用とを兼ね備えた複数 (ここでは 3 個) のフリップフロップ回路 F F 5 2 と、出力段の複数 (ここでは 3 個) のドライバ D 5 2 と、入力段の複数 (ここでは 2 個) のレシーバ R 5 1 と、ドライバ D 5 2 の出力を切り離す複数 (ここでは 3 個) のスイッチ S 5 1 と、期待値と測定値 (読み出しデータ) とを比較判定するための、複数 (ここでは 5 個) のフリップフロップ回路 F F 5 3 ~ F F 5 5、複数 (ここでは 2 個) の排他的論理和ゲート E X O R 5 1、複数 (ここでは 2 個) の論理和ゲート O R 5 1 などからなる論理回路と、期待値遅延回路などから構成されている。

【 0 0 6 5 】

ライト時には、入力された各データ信号 D a t a は各フリップフロップ回路 F F 5 2 において基準クロック信号に同期して一旦ラッチされ、データ系 3 分配ブロック間、さらにデータ系 3 分配ブロック内の分配間のバラツキが補正され、同期が取られて各ドライバ D 5 2 を通じて 3 分配される。この 3 分配されたデータ信号 D a t a は、2 つの各 I C ソケット 2 1 に搭載された各測定メモリ 5 7 と、次段の A S I C 2 3, 3 3 にそれぞれ供給され、データ信号 D a t a は各測定メモリ 5 7 に書き込みデータとして書き込まれる。

【 0 0 6 6 】

リード時には、2 つの各 I C ソケット 2 1 に搭載された各測定メモリ 5 7 から読み出された読み出しデータとなる各データ信号は各レシーバ R 5 1 で受け、各フリップフロップ回路 F F 5 3 において基準クロック信号に同期して一旦ラッチされ、同時に入力された期待値となるデータ信号 D a t a は期待値遅延回路を介して遅延した後にフリップフロップ回路 F F 5 5 において基準クロック信号に同期して一旦ラッチされ、各読み出しデータと期待値とは各排他的論理和ゲート E X O R 5 1 において比較判定される。この比較判定された各結果信号は、各論理和ゲート O R 5 1 において各フリップフロップ回路 F F 5 4 を介して出力された

各帰還信号と随時、論理和演算され、最終的に各フリップフロップ回路 F F 5 4 に一致／不一致の信号（一致：L o w、不一致：H i g h）がラッチされ、低速 B U S ブロックに出力される。

【 0 0 6 7 】

クロック信号 C 1 k のクロック信号ブロックは、波形整形するクロックタイミング生成回路と、分配用の複数（ここでは 3 個）のドライバ D 5 3 などから構成され、入力されたクロック信号 C 1 k はクロックタイミング生成回路において一旦波形整形され、前記および後述するフリップフロップ回路 F F 5 1, F F 5 2, F F 5 4, F F 5 6, F F 5 7、後述するストローブ監視回路の基準クロック信号となり、また各ドライバ D 5 3 を通じて 3 分配される。この 3 分配されたクロック信号 C 1 k は、2 つの各 I C ソケット 2 1 に搭載された各測定メモリ 5 7 と、次段の A S I C 2 3, 3 3 にそれぞれ供給される。

【 0 0 6 8 】

I / O 制御信号の I / O 制御ブロックは、出力段に配置されるパイプラインデータ転送用と分配用とを兼ね備えた複数（ここでは 2 個）のフリップフロップ回路 F F 5 6 と、出力段のドライバ D 5 4 などから構成され、入力された I / O 制御信号はフリップフロップ回路 F F 5 6 において基準クロック信号に同期して一旦ラッチされ、一方のフリップフロップ回路 F F 5 6 の出力によりスイッチ S 5 1 をライト時に接続、リード時に切断するように制御し、他方のフリップフロップ回路 F F 5 6 の出力はドライバ D 5 4 を通じて次段の A S I C 2 3, 3 3 に供給される。

【 0 0 6 9 】

判定信号の判定ブロックは、出力段に配置されるパイプラインデータ転送用と分配用とを兼ね備えた複数（ここでは 2 個）のフリップフロップ回路 F F 5 7 と、出力段のドライバ D 5 5 と、誤判定防止用のストローブ監視回路などから構成され、入力された判定信号はフリップフロップ回路 F F 5 7 において基準クロック信号に同期して一旦ラッチされ、一方のフリップフロップ回路 F F 5 7 の出力は期待値と測定値とを比較判定する前記フリップフロップ回路 F F 5 3, F F 5 5 の基準クロック信号となり、またストローブ監視回路により判定信号を監視し

、他方のフリップフロップ回路 F F 5 7 の出力はドライバ D 5 5 を通じて次段の A S I C 2 3, 3 3 に供給される。また、ストローブ監視回路の監視による判定開始の状態信号は低速 B U S ブロックに出力される。

【0070】

低速 B U S 信号の低速 B U S ブロックは、低速 B U S 制御回路と、ドライバ D 5 6 などから構成され、入力された低速 B U S 信号は低速 B U S 制御回路を介し、ドライバ D 5 6 を通じて次段の A S I C 2 3, 3 3 に供給される。また、低速 B U S 制御回路には、データ系 3 分配ブロックの各フリップフロップ回路 F F 5 4 より一致／不一致の信号が入力され、また判定ブロックのストローブ監視回路より判定開始の状態信号が入力され、リード状態においては一致／不一致（良／不良：p a s s / f a i l）の信号の信頼性が確認される。

【0071】

以上のように、分配部とソケット部からなる P F B 3 では、分配基板 4 3 からの基準となる D I M M 6 1 と同等信号を 4 分配し、被測定メモリ 5 7 に供給する回路と、その分配された信号内の制御信号から S D - R A M 6 2 の動作状況であるコマンドを解析する回路とを有し、リード／ライトの判断をし、S D - R A M 6 2 がライト時は入出力信号を被測定メモリ 5 7 の印加信号とし、リード時は逆に入出力信号を判定のための期待値信号とさせ、制御をハードウェアにて行う。さらに、判定回路にて被測定メモリ 5 7 からの出力信号をその期待値と論理比較する回路を有し、p a s s / f a i l の判定を行う回路を有する。これらの回路は 2 d u t 単位に A S I C 2 3, 3 3 を回路構成し、チェーン方式により次段の A S I C 2 3, 3 3 の 2 d u t にも信号伝送され、1 チェーンにて 1 6 d u t がまかなわれる。よって、1 6 d u t × 4 分配にて 1 P F B 当たり 6 4 d u t の同時測定が可能となる。

【0072】

次に、図 1 7 により、前述したリード／ライト時の切替・判定方法を整理して説明する。図 1 7 に示すように、アドレス B i t （ビット）制御回路、コントロール B i t 制御回路、コントロール B i t 解析回路、データ B i t 制御回路、印加・判定・切替回路、判定制御回路などの各機能を有する印加制御・判定ハード

ウェアが前述した各基板上の回路により構成される。前述のようなDIMM61上のSD-RAM62はアドレス、入出力データ、コントロール信号にて制御され、データの入出力はコントロール信号にて制御される。

【0073】

よって、この制御を解析する回路を搭載し、まずアドレス信号はアドレスBit制御回路を介して、コントロール信号はコントロールBit制御回路を介してそれぞれ測定メモリ57に対して供給し、同時に(1)基準となるDIMM61上のSD-RAM62から送られるコントロール信号をコントロールBit解析回路においてコマンド解析し、データの入出力を把握する。さらに、(2)データの入出力に合わせて測定メモリ57に対してデータ印加・出力を印加・判定・切替回路により切り替える。そして、基準となるSD-RAM62から伝送されるデータを測定メモリ57に対し、ライトモード時はそのまま被測定メモリ57に対して、データBit制御回路から印加・判定・切替回路を介して印加データの書き込み制御を行い、逆に(3)リードモード時はSD-RAM62の信号をデータBit制御回路から期待値として入力し、被測定メモリ57の読み出しデータを印加・判定・切替回路を介し、判定制御回路において比較判定し、基準となるDIMM61と同等の動作にて正しい出力をしているかの判定を行う。

【0074】

次に、前述した図9に示すようなメモリ単体試験時に代えて、図18により、メモリモジュール試験時の信号系統の一例を説明する。図18に示すように、測定PCユニット1内のPCマザーボード11に搭載されているDIMM61より信号引出基板41にて信号を取り出してバッファリングする。このバッファリングされた信号を、パイプラインデータ転送用のフリップフロップ回路や分配回路などを有する分配基板43により分配する。この分配された信号を、パイプラインデータ転送用のフリップフロップ回路やコマンド解析・信号制御・データ比較判定回路などを有するPFB3へ送付し、このPFB3上のDIMMなどの測定メモリモジュール71の測定を行う。この測定メモリモジュール71に対しては、PFB3よりアドレス、クロックなどの信号が印加され、またPFB3との間でデータなどの信号が入出力可能となっており、PFB3から測定結果が制御I

／F・pass／fail 読み出し回路により制御PC6へ取り出される。

【0075】

このテスト時には、たとえば図19に示すように、PCマザーボード11に搭載されているDIMM61より信号が取り出される。メモリ単体試験時と同様に、実使用条件と同一の試験を行うために、チップセットLSI15からのDIMM61への信号を取り出す方法が用いられる。図19に示すように、DIMM61の全信号を配線を介して直接引き出し、直ぐに信号引出基板41にてバッファリングする。この信号取り出し方法により、波形劣化および元のDIMM61への反射などの影響を極力抑えることができる。

【0076】

以上のように、被試験対象製品をメモリ単体からメモリモジュールに変更した場合には、基準とするメモリを1dutにとらわれず、モジュール単位に入出力される全信号を同等の方式により制御し、測定を実施する方式となる。pass／failの単位がメモリ単位からモジュール単位となるがその制御手法やハードウェアは同等な構成にて可能となる。また、基準となるDIMM61の動作条件を制御し、メモリモジュール内の各メモリをメモリ単位（I/O割り付け）で管理し、特定メモリに集中した試験を行うことにより、メモリモジュール内のメモリ不良の特定も可能である。

【0077】

次に、図20により、メモリチップ、単品（パッケージ構造）、メモリモジュールのテストフローの概要を説明する。このテスト工程において、前述のようなTSOPやTCPなどの測定メモリ57の単品を被テストメモリとする場合は前述したPFB3のICソケット21に搭載され、また前述のようなDIMMなどの測定メモリモジュール71を被テストメモリモジュールとする場合にはモジュール用のソケットが設けられたPFBが用いられる。

【0078】

まず、チップ単位で複数のメモリ回路が形成されたウェハを用意し、このウェハ上に形成された各メモリ回路の電気的特性を試験するためのプローブ検査（P検）を行い、このプローブ検査の結果、不良チップについては冗長用のメモリセ

ル、信号線に置き換えて救済処理を施す（S101～S103）。

【0079】

さらに、ウェハをダイシングしてチップ毎に切り離した状態の各チップをパッケージ構造の単品に組み立てた後に、バーンイン（B/I）工程において、単品の各被テストメモリを所定の温度条件において、定格もしくはそれを越える電源電圧を印加し、各メモリ回路などに実動作に近い信号を印加しながらスクリーニングを行う（S104）。

【0080】

続いて、本実施の形態のPCテストを使用して、単品の各被テストメモリのテスト工程を実行する（S105，S106）。このテスト工程には、通常の周波数より長い周波数でメモリ回路などをディスターブ試験するロングテストと、メモリ回路に対して前述したリード／ライト動作により所定のテストパターンを用いてメモリ機能を試験し、所定の機能通りに動作するか否かを確認するためのファンクションテストなどがある。

【0081】

その後、通常のメモリテストを使用して、まずDCテスト工程において、入出力端子間のオープン／ショート検査、リーク電流検査や、電源電流（動作時、スタンバイ時）の測定などを行い、さらにタイミングテスト工程において、チップセットLSI15との信号のやり取りにおけるセットアップ、ホールドなどのACタイミングを試験する（S107，S108）。このテスト工程の終了後に、良品と判定されたパッケージ構造の単品を製品として出荷することができる（S109）。

【0082】

なお、以上においては、パッケージ構造の単品をテストして出荷する場合について説明したが、たとえばウェハをダイシングしてチップ毎に切り離したメモリチップの状態、このメモリチップを被テストメモリチップとする場合、またはダイシング前のウェハの状態を被テストメモリチップとする場合にも同様に、前述のテスト工程を実行して良品のメモリチップを製品として出荷することが可能である。この際に、メモリチップの状態でテストを行う場合には、前記バーンイン

ン工程の前のパッケージ構造への組み立て工程が不要となり、またウェハの状態
でテストを行う場合には、ウェハの状態でバーンイン工程からの処理を行い、タ
イミングテストの後にウェハをダイシングしてチップ毎に切り離してメモリチッ
プとする。

【0083】

さらに、前記良品として出荷された単品を複数個単位でモジュール基板上に搭
載し、DIMMなどのメモリモジュールとして組み立てた後、良品／不良品を簡
易選別によって選別し、良品のメモリモジュールを製品として出荷することがで
きる（S110～S112）。なお、メモリモジュールにおいても、複数個のメ
モリチップをメモリモジュールとして組み立てて製品として出荷することも可能
である。

【0084】

以上のテストフローにより、現状ではバーンイン後に、メモリテストを使用し
てロングテスト、DCテスト、ファンクションテスト、タイミングテストを実施
してメモリモジュールの組み立てに入り、この組み立て後はPCなどを使用した
実機選別を行って出荷しているのに対して、本実施の形態ではロングテストおよ
びファンクションテストをPCテストにて実施し、DCテスト、タイミングテス
トを従来と同じメモリテストにて行う点が異なっている。よって、本実施の形態
によれば、メモリテストでの試験時間が半減される。また、PCテストでの試験
は、従来の64個同時測定から数k個同時測定になるため、合計の試験時間は桁
違いに改善される。

【0085】

次に、図21により、メモリモジュールのPCへの実装工程までのフローの概
要を説明する。まず、単品製造メーカーにおいて、前述のようにPCテストを使
用したテスト、メモリテストを使用したテストなどにより、パッケージ構造の単
品、あるいはメモリチップの選別を行い、良品の単品、あるいはメモリチップを
製品として出荷することができる（S201，S202）。この単品製造メーカ
ーでは、選別工程において本実施の形態のPCテストが利用される。

【0086】

続いて、モジュール組立メーカーにおいて、単品製造メーカーから出荷された単品、あるいはメモリチップの受入試験を行い（S 2 0 3）、所定の組立工程に入る。まず、モジュール基板のパターン上にクリーム状の半田を印刷し、メモリチップ、あるいは単品や他の実装部品などをマウントした後、リフローによる熱処理によりモジュール基板と部品とを電氣的に接続する（S 2 0 4～S 2 0 6）。さらに、メモリモジュールの外観検査を行い、マークを付した後、選別によって良品／不良品を区別し、良品のメモリモジュールを製品として出荷することができる（S 2 0 7～S 2 1 0）。このモジュール組立メーカーでは、単品受入試験工程、あるいは選別工程において本実施の形態のPCテストが利用される。

【0 0 8 7】

そして、PCメーカーにおいて、モジュール組立メーカーから出荷されたメモリモジュールの受入検査を行い、このメモリモジュールを実際に搭載する製品のPCに実装する（S 2 1 1, S 2 1 2）。さらに、PCへのメモリモジュールの実装状態において、実機試験を行い、合格すればPCを製品として出荷することができる（S 2 1 3, S S 2 1 4）。このPCメーカーでは、受入検査工程において本実施の形態のPCテストが利用される。

【0 0 8 8】

従って、本実施の形態によれば、基準となるメモリモジュールが搭載された測定PCユニット1、この測定PC8から取り出された信号を分配する信号分配ユニット2、この分配された信号を用いて多数個同時測定される測定対象製品が実装される複数のPFB3、試験条件の選択、解析などの制御を行う制御PC6などから構成されるPCテストを用いることで、以下のような効果を得ることができる。

【0 0 8 9】

(1) メモリチップ、このメモリチップをパッケージ構造にしたTSOP、TCPなどの単品、この単品をDIMMなどのモジュール構造にしたメモリモジュール、メモリチップをモジュール構造にしたメモリモジュールや、さらにメモリモジュールを実装したPCなどの被テスト対象製品を実使用状態に近づけて試験を行うことができる。

【 0 0 9 0 】

(2) 基準となる D I M M 6 1 などのメモリモジュールが搭載された測定 P C ユニット 1 などを利用することにより、安価で高性能な P C テスタとすることができる。

【 0 0 9 1 】

(3) メモリチップ、単品、メモリモジュール、P C などを同じ P C テスタで試験することができる。

【 0 0 9 2 】

(4) 製品サイクルの短い P C の機種変更に対しても、測定 P C ユニット 1 内の測定 P C 8 の交換のみで対応することができる。

【 0 0 9 3 】

(5) 実機となる P C への実装時に問題となる周辺回路の特性やプログラム処理による影響を含めて試験をすることができる。

【 0 0 9 4 】

(6) 複数の P F B 3 を用いて多数個を同時に測定することができる。

【 0 0 9 5 】

(7) P C テスタを、メモリチップ、単品、メモリモジュールなどの選別工程や、メモリチップ、単品などの受入試験工程、メモリモジュールなどの受入検査工程などに適用することにより、高速テスタでの試験項目を置き換えることが可能となり、投資を抑制することができる。

【 0 0 9 6 】

(8) 被テスト対象製品を、より実使用状態に近い条件にて選別可能であるため、メモリチップ、単品、メモリモジュール、さらに P C などの製品の品質を向上させることができる。

【 0 0 9 7 】

以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【 0 0 9 8 】

たとえば、前記実施の形態においては、TSOP、TCPなどのパッケージ構造による単品、DIMMなどのメモリモジュールを例に説明したが、これに限定されるものではなく、TQFP (Thin Quad Flat Package) などの各種パッケージ構造による単品や、SIMM (Single Inline Memory Module) などの各種モジュール構造によるメモリモジュールなどにも広く適用することができる。

【0099】

上述した実施の形態においては、制御回路がASICで構成されているように説明したが、フィールドプログラマブルなIC、たとえばいわゆるFPGAで構成してもよい。フィールドプログラマブルICは、ASICに含まれると理解されたい。

【0100】

また、SD-RAMに限らず、DRAM、フラッシュなどのメモリ製品に効果的であり、さらにマイクロコンピュータ、ASIC (FPGAを含む) などのロジック製品にも応用することができる。

【0101】

また、分配基板、PFBなどの数量は、前述した数に限られるものではなく、同時測定を実現するための試験対象製品の数に応じて適宜変更可能であることはいうまでもない。

【0102】

以上の説明では、主として本発明者によってなされた発明をその属する技術分野であるPCに適用した場合について説明したが、これに限定されるものではなく、たとえば他のコンピュータや、CPU、メモリおよび制御回路を搭載し、制御回路によりCPUとメモリ間を制御するようなマザーボードなどを使用する情報処理装置、情報家電製品などにも適用することができる。

【0103】

【発明の効果】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0104】

(1) 基準となるメモリチップ、メモリモジュールから出力される出力信号と被テストメモリチップから出力される出力信号との間の関係を調べることで、メモリチップ、単品、メモリモジュール、パーソナルコンピュータなどを実使用状態に限りなく近づけて試験を行うことが可能となる。

【0105】

(2) 基準となるメモリチップ、メモリモジュールの動作を制御する制御回路などからなるデータ処理装置を有し、このデータ処理装置を含むパーソナルコンピュータなどを利用することで、安価で高性能な試験装置を実現することが可能となる。

【0106】

(3) 被テストメモリが実装されるべきソケット、メモリモジュールが装着されるべきボードなどを有し、切り替えて使用することで、同一の試験装置でメモリチップ、単品、メモリモジュール、パーソナルコンピュータなどを試験することが可能となる。

【0107】

(4) 製品サイクルの短いパーソナルコンピュータなどの機種変更に対しても、基準となるメモリチップ、メモリモジュールが実装されたデータ処理装置を含む測定用パーソナルコンピュータの交換のみで対応することが可能となる。

【0108】

(5) メモリチップ、単品、メモリモジュール、パーソナルコンピュータなどを実使用状態に限りなく近づけて試験を行うことで、パーソナルコンピュータなどへの実装時に問題となる周辺回路の特性やプログラム処理による影響を含めて試験をすることが可能となる。

【0109】

(6) 基準となるメモリチップ、メモリモジュールへ供給される信号は複数の被テストメモリチップへ並列に供給されることで、メモリチップ、単品、メモリモジュール、パーソナルコンピュータなどの多数個同時測定を実現することが可能となる。

【0 1 1 0】

(7) 基準となるメモリチップ、メモリモジュールから出力される出力信号との一致／不一致の判定によるテスト方法をメモリチップ、単品、メモリモジュールなどの選別工程、メモリチップ、単品などの受入試験工程、メモリモジュールなどの受入検査工程に適用することで、高速テストでの試験項目を置き換えることができるため、試験・検査・製造設備などへの投資を抑制することが可能となる。

【0 1 1 1】

(8) 基準となるメモリチップ、メモリモジュールから出力される出力信号との一致／不一致の判定で良品／不良品を選別することで、より実使用状態に近い条件にてメモリチップ、単品、メモリモジュールなどが選別できるため、メモリチップ、単品、メモリモジュール、さらにパーソナルコンピュータなどの品質を向上させることが可能となる。

【図面の簡単な説明】

【図 1】

(a), (b), (c) は本発明の一実施の形態のメモリテストシステムの全体を示す概略外観図である。

【図 2】

本発明の一実施の形態のメモリテストシステムにおいて、PCマザーボードを示す概略斜視図である。

【図 3】

本発明の一実施の形態のメモリテストシステムにおいて、PCマザーボードを示す機能ブロック図である。

【図 4】

(a), (b) は本発明の一実施の形態のメモリテストシステムにおいて、PFB (TSOP用) を示す平面図と側面図である。

【図 5】

(a), (b) は本発明の一実施の形態のメモリテストシステムにおいて、PFB (TSOP用) のソケットボードを示す平面図と側面図である。

【図 6】

(a), (b) は本発明の一実施の形態のメモリテストシステムにおいて、PFB (TCP 用) を示す平面図と側面図である。

【図 7】

(a), (b) は本発明の一実施の形態のメモリテストシステムにおいて、PFB (TCP 用) のソケットボードを示す平面図と側面図である。

【図 8】

本発明の一実施の形態のメモリテストシステムにおいて、信号系統を示す構成図である。

【図 9】

本発明の一実施の形態のメモリテストシステムにおいて、メモリ単体試験時の信号系統を示す構成図である。

【図 10】

本発明の一実施の形態のメモリテストシステムにおいて、パイプライン方式を示すタイミング図である。

【図 11】

本発明の一実施の形態のメモリテストシステムにおいて、メモリ単体試験時の信号取り出し方法を示す説明図である。

【図 12】

本発明の一実施の形態のメモリテストシステムにおいて、信号引出基板を示す機能ブロック図である。

【図 13】

本発明の一実施の形態のメモリテストシステムにおいて、制御基板を示す機能ブロック図である。

【図 14】

本発明の一実施の形態のメモリテストシステムにおいて、分配基板を示す機能ブロック図である。

【図 15】

本発明の一実施の形態のメモリテストシステムにおいて、PFB (分配部) を

示す機能ブロック図である。

【図 1 6】

本発明の一実施の形態のメモリテストシステムにおいて、P F B（ソケット部）を示す機能ブロック図である。

【図 1 7】

本発明の一実施の形態のメモリテストシステムにおいて、リード／ライト切替・判定方法を示す説明図である。

【図 1 8】

本発明の一実施の形態のメモリテストシステムにおいて、モジュール試験時の信号系統を示す構成図である。

【図 1 9】

本発明の一実施の形態のメモリテストシステムにおいて、モジュール試験時の信号取り出し方法を示す説明図である。

【図 2 0】

本発明の一実施の形態のメモリテストシステムにおいて、テスト工程を示すフロー図である。

【図 2 1】

本発明の一実施の形態のメモリテストシステムにおいて、モジュール実装および製品実装工程を示すフロー図である。

【符号の説明】

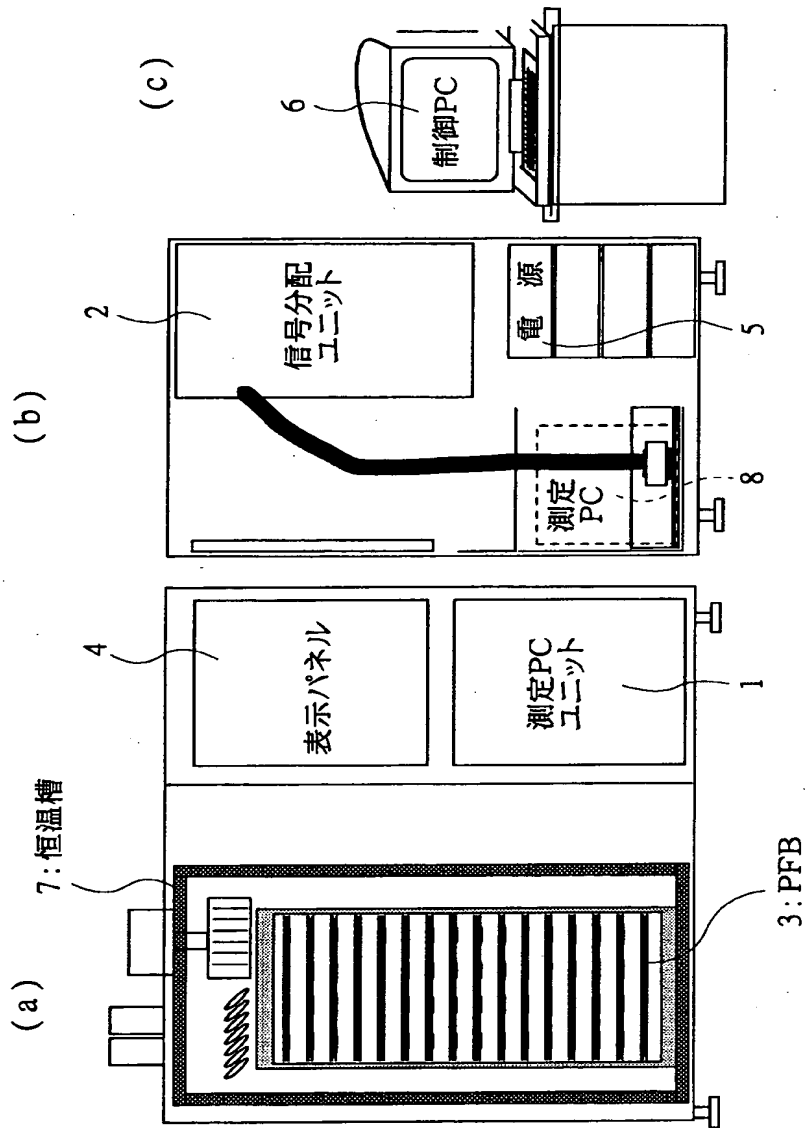
- 1 測定 P C ユニット
- 2 信号分配ユニット
- 3 P F B
- 4 表示パネル
- 5 電源
- 6 制御 P C
- 7 恒温槽
- 8 測定 P C
- 1 1 P C マザーボード

- 1 2 CPU
- 1 3 メモリモジュール
- 1 4 メモリスロット
- 1 5 チップセット L S I
- 1 6 P C I スロット
- 1 7 2 次 キャッシュ メモリ
- 1 8 電源
- 2 1, 3 1 I C ソケット
- 2 2, 3 2 ソケット ボード
- 2 3, 3 3 A S I C
- 2 4, 3 4 マザーボード
- 2 5, 2 6, 3 5, 3 6 コネクタ
- 4 1 信号引出基板
- 4 2 制御基板
- 4 3 分配基板
- 5 1, 5 3 フリップフロップ回路
- 5 2 分配回路
- 5 4 コマンド解析・印加制御 (R / W) 回路
- 5 5 判定回路
- 5 6 レジスタ
- 5 7 測定メモリ
- 6 1 D I M M
- 6 2 S D - R A M
- 7 1 測定メモリモジュール

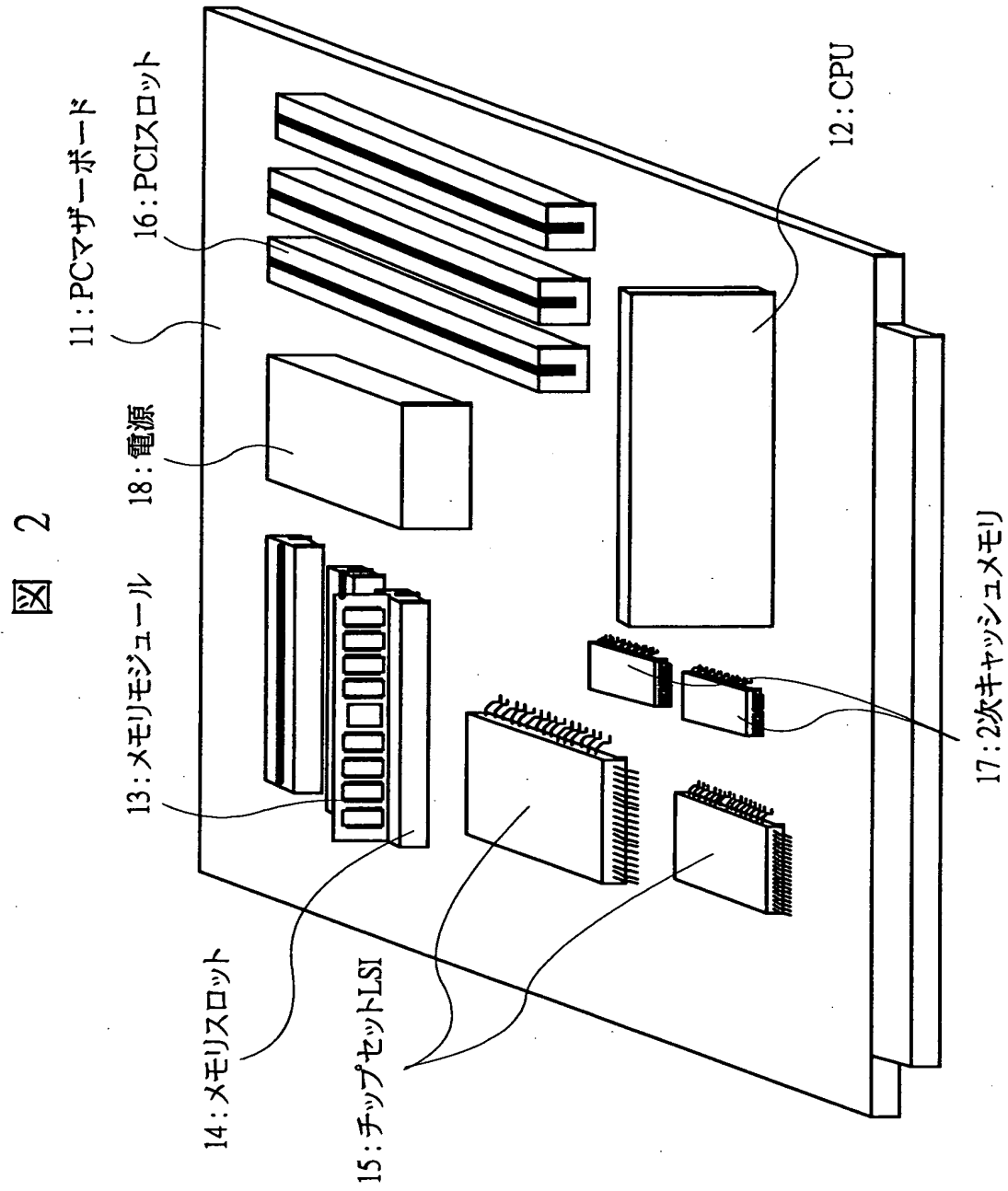
【書類名】 図面

【図 1】

図 1

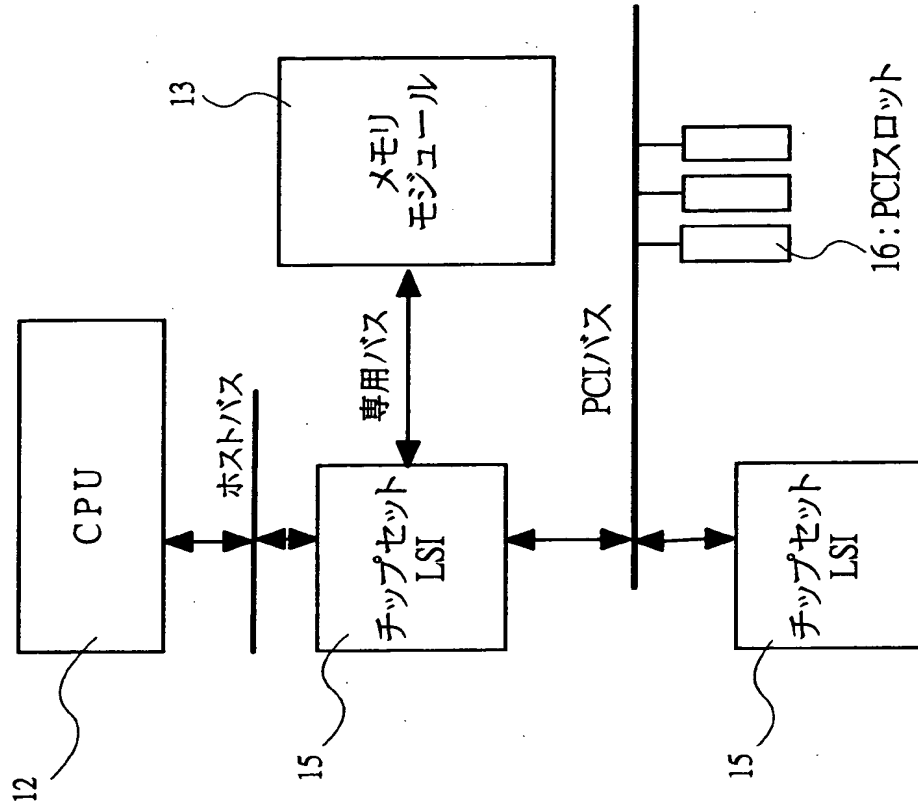


【図 2】



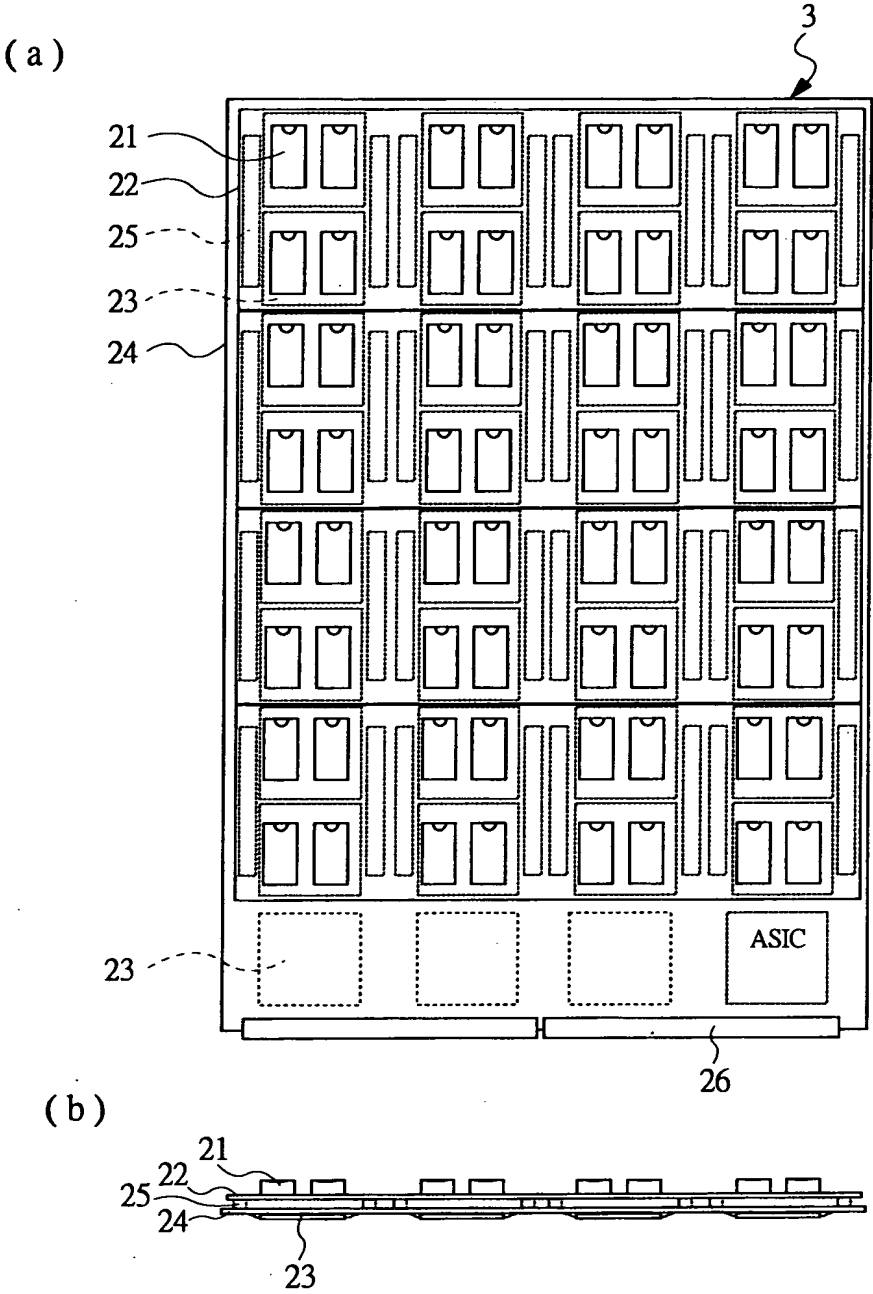
【図 3】

図 3



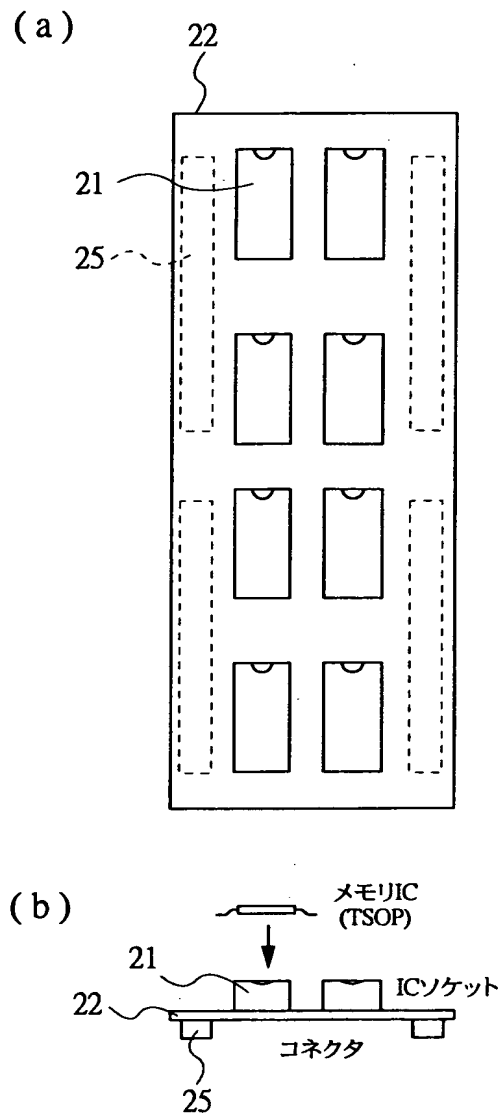
【図 4】

図 4



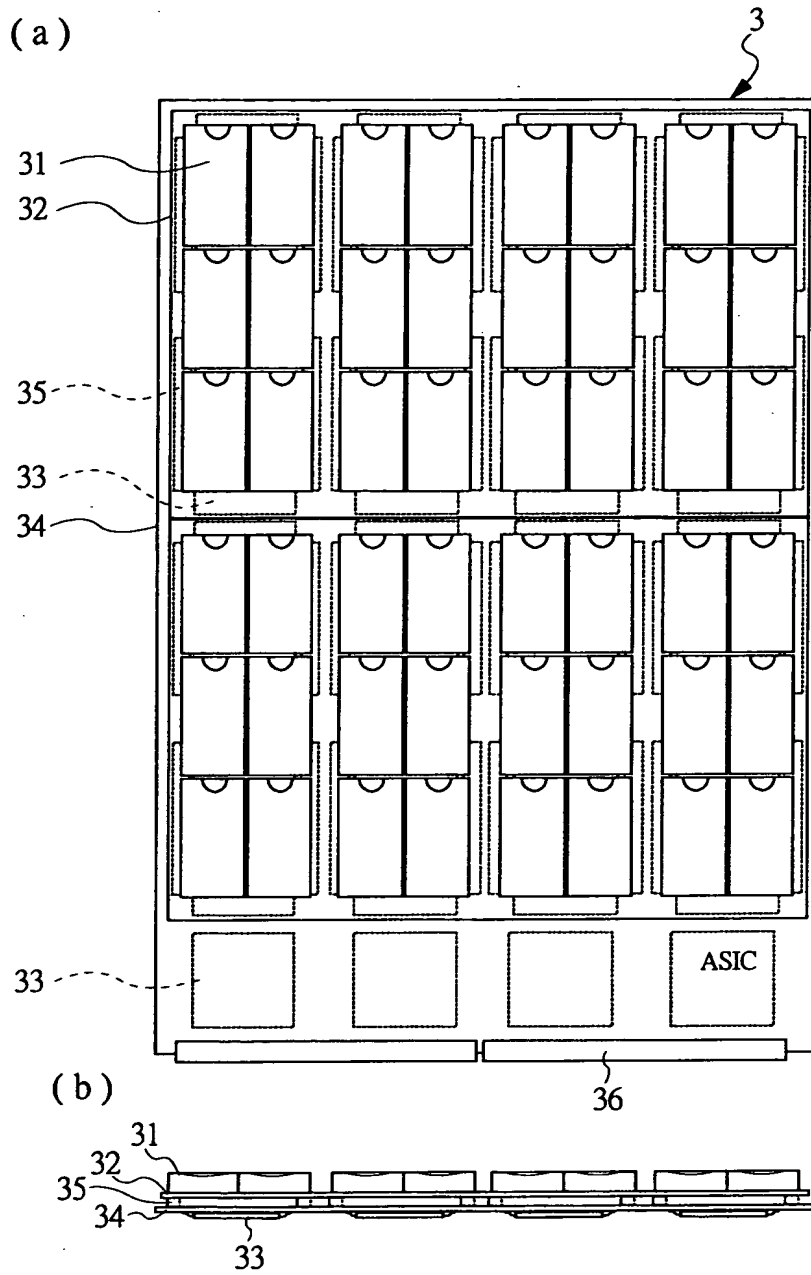
【図 5】

図 5



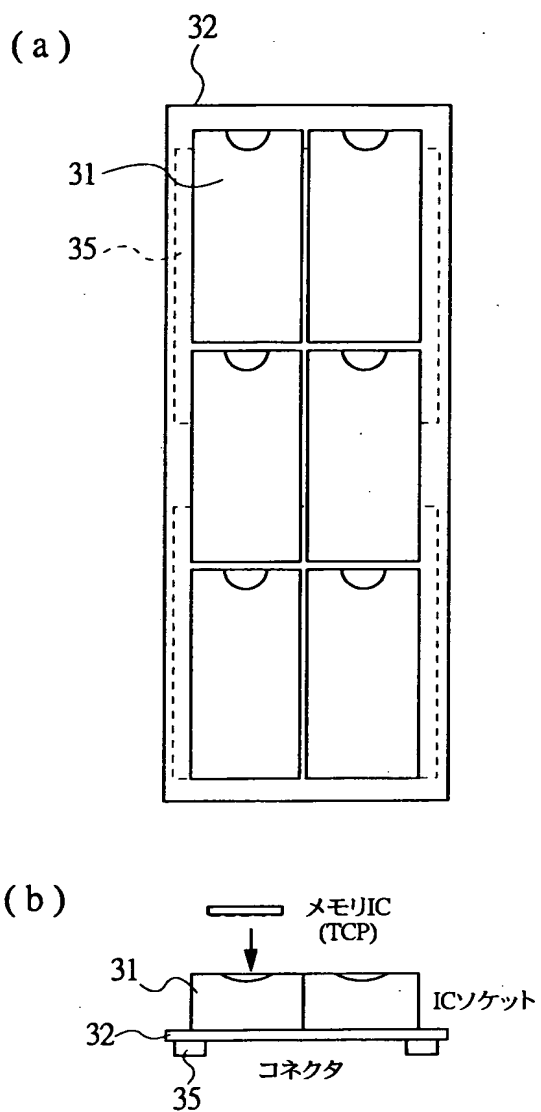
【図 6】

図 6

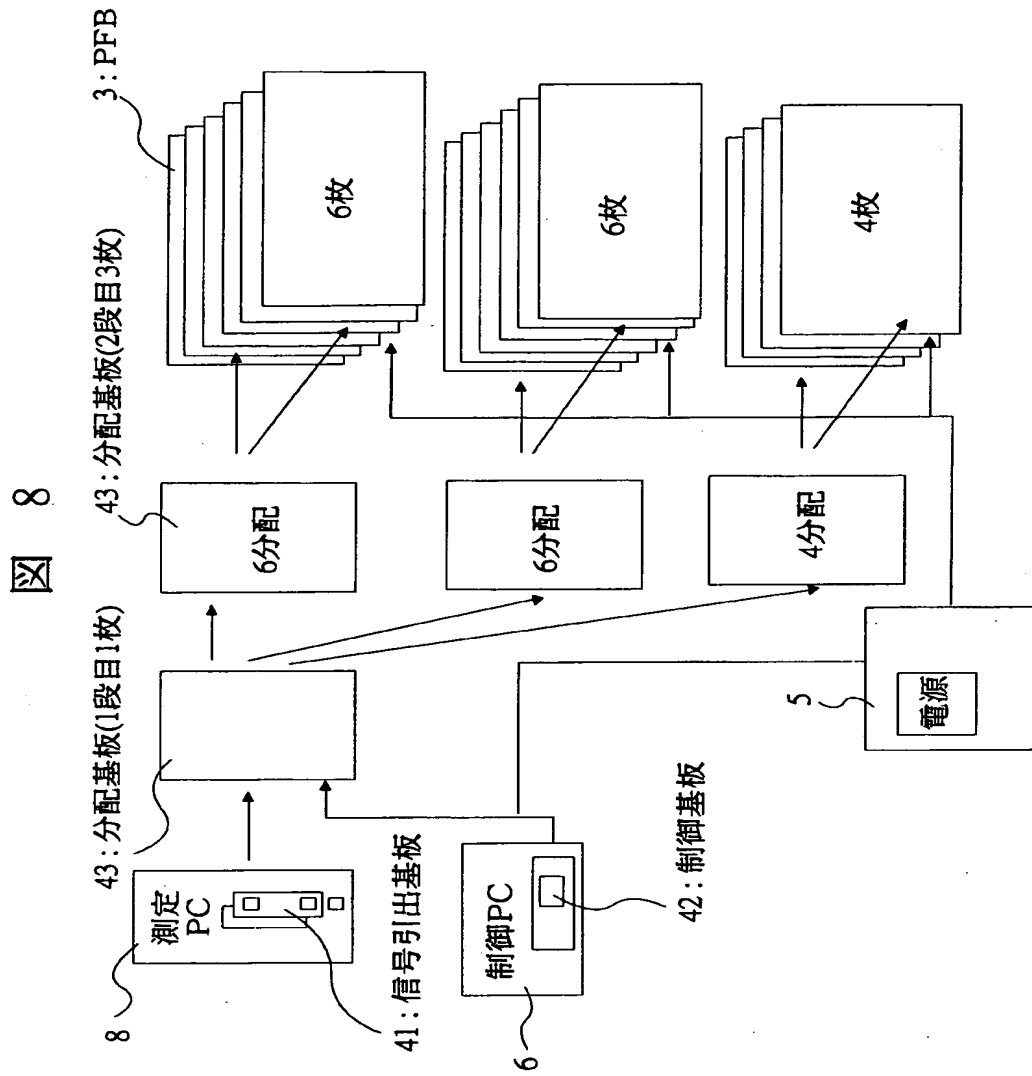


【図 7】

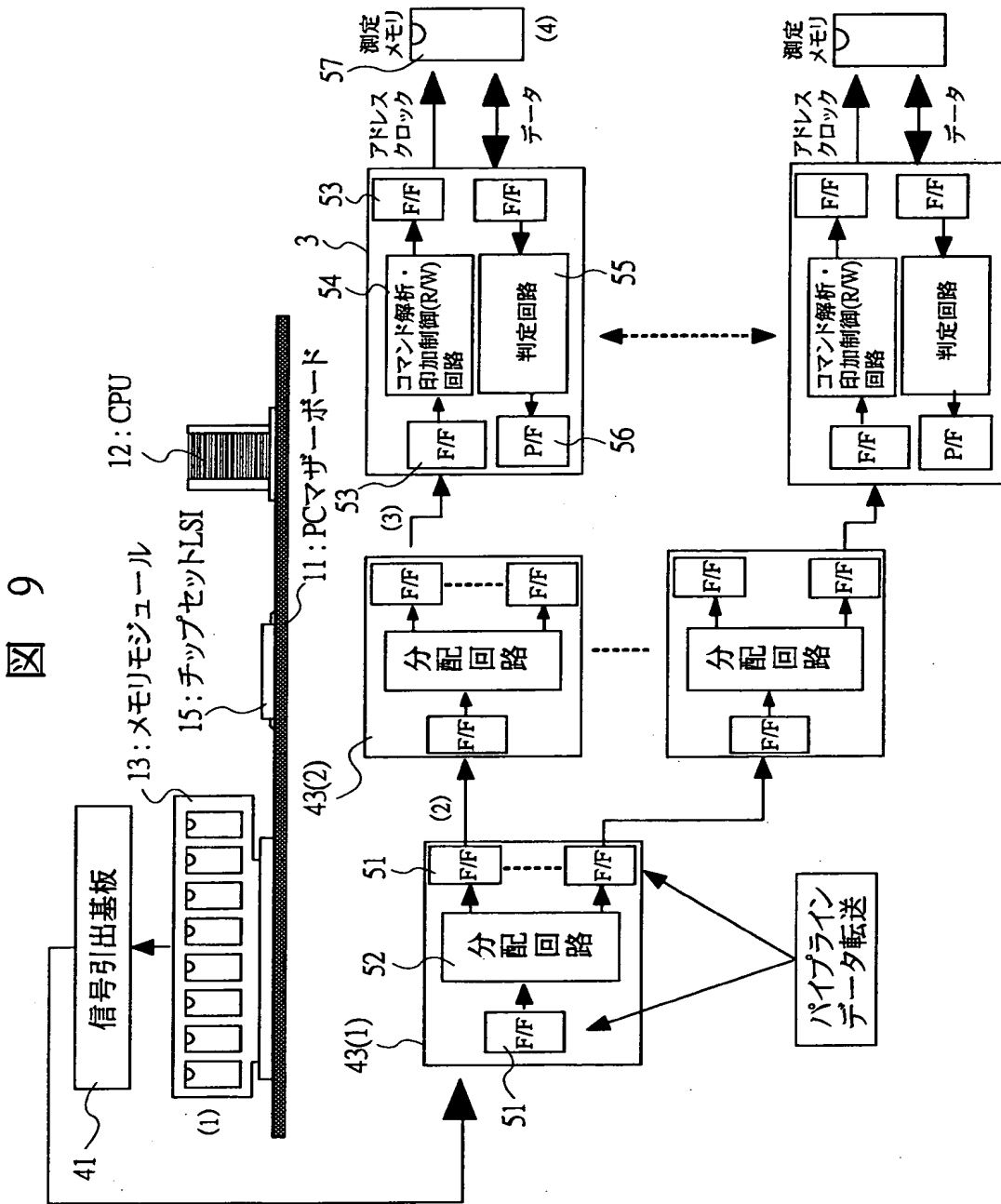
図 7



【図 8】

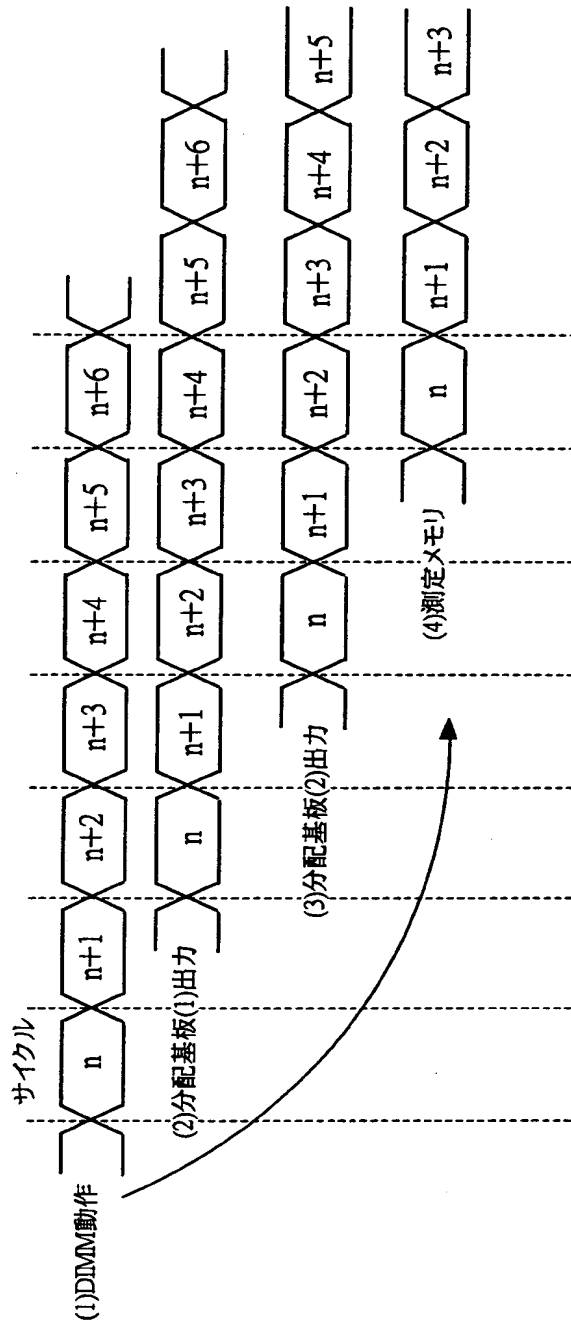


【図 9】

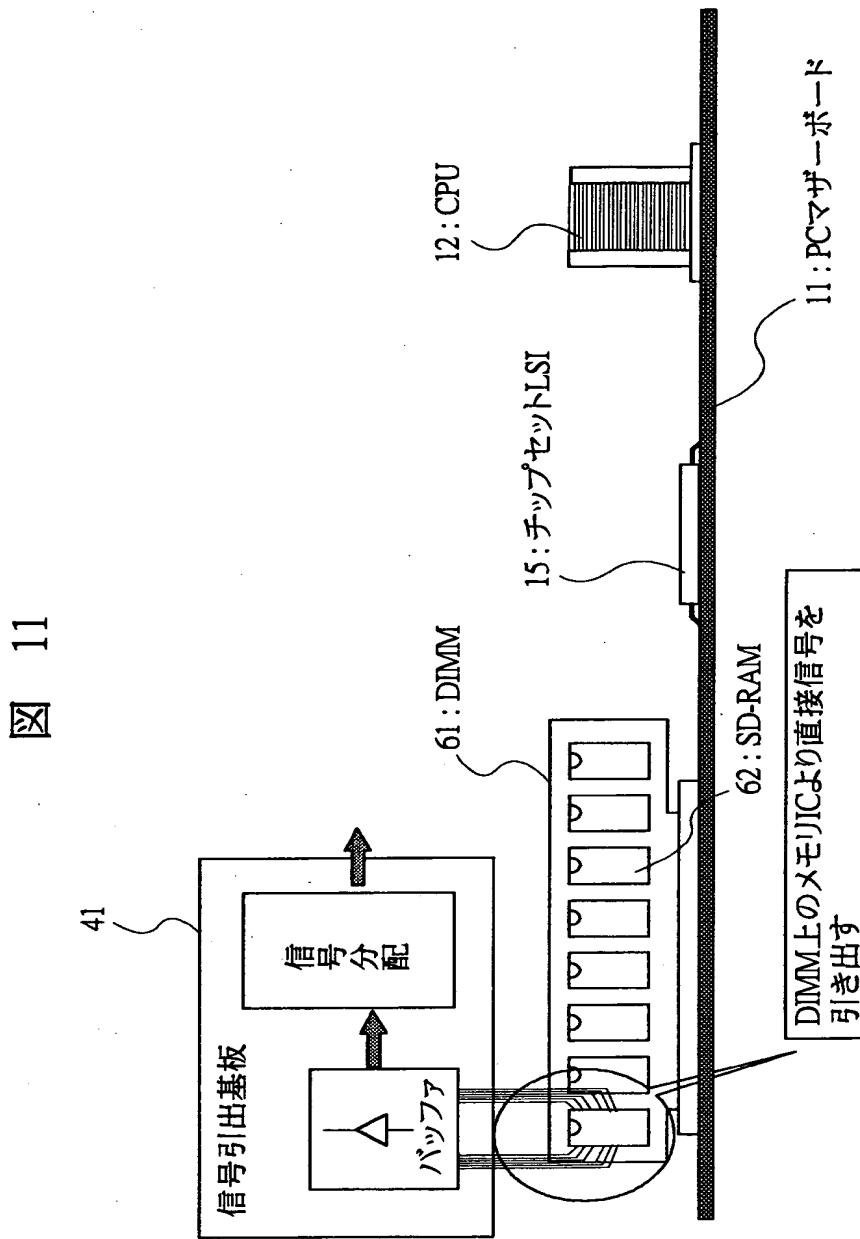


【図 1 0】

図 10



【図 1 1】



【図 1 3】

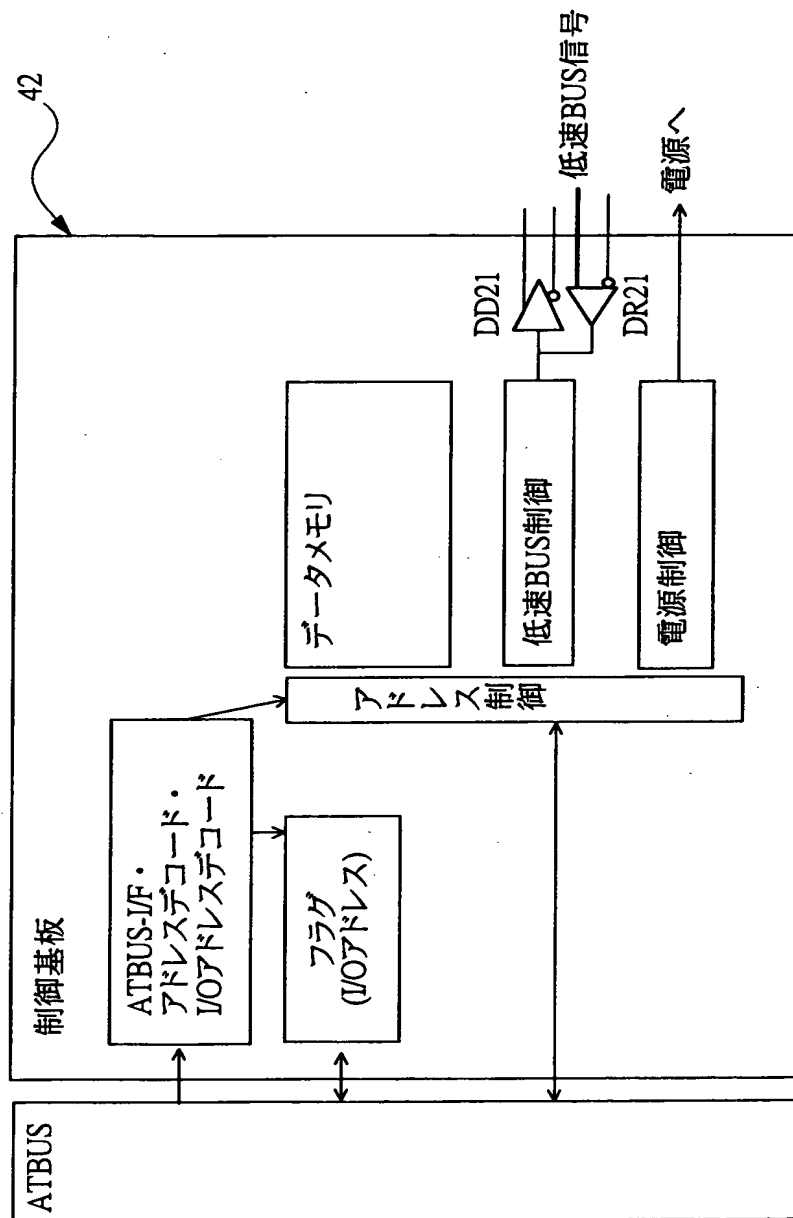


図 13

【図 1 4】

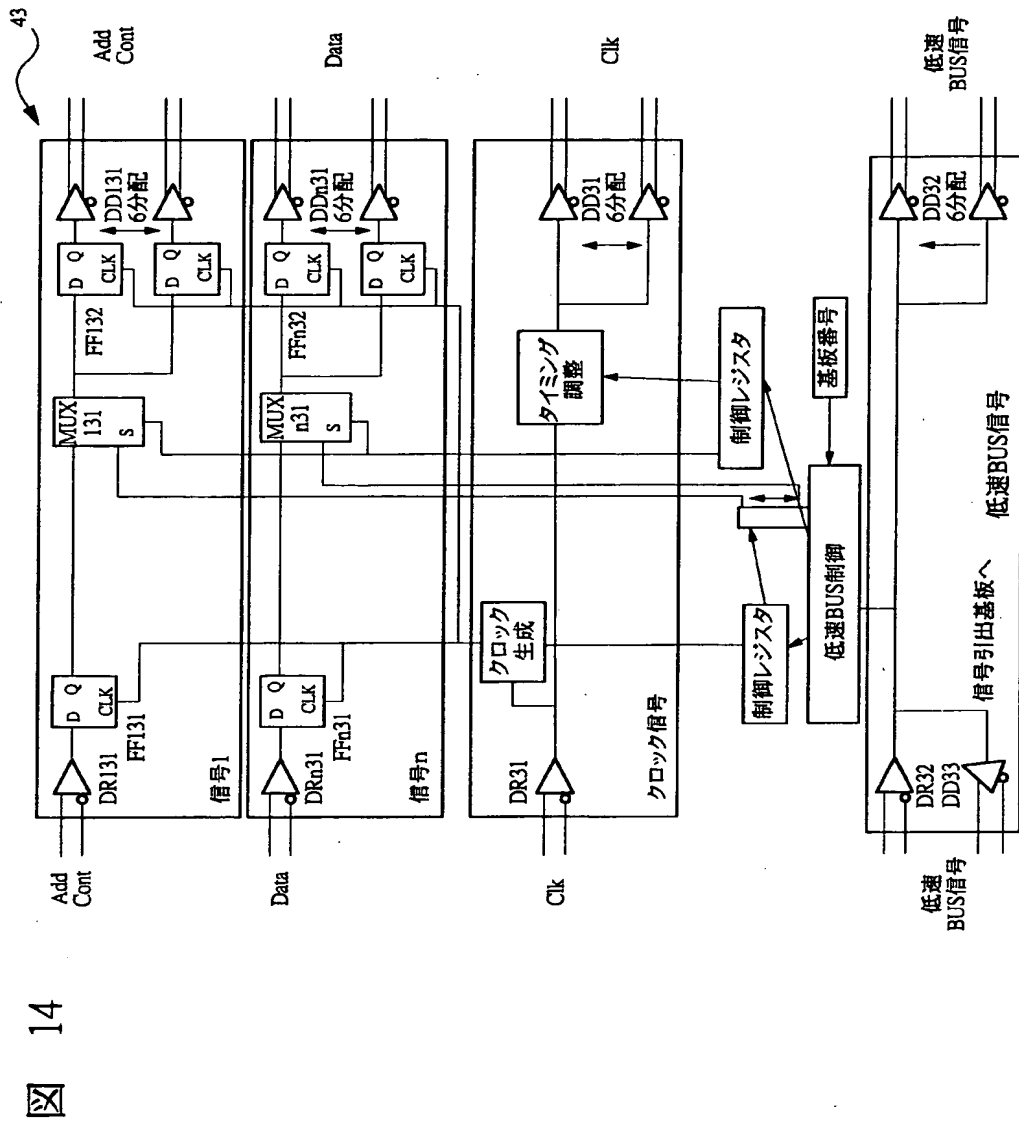
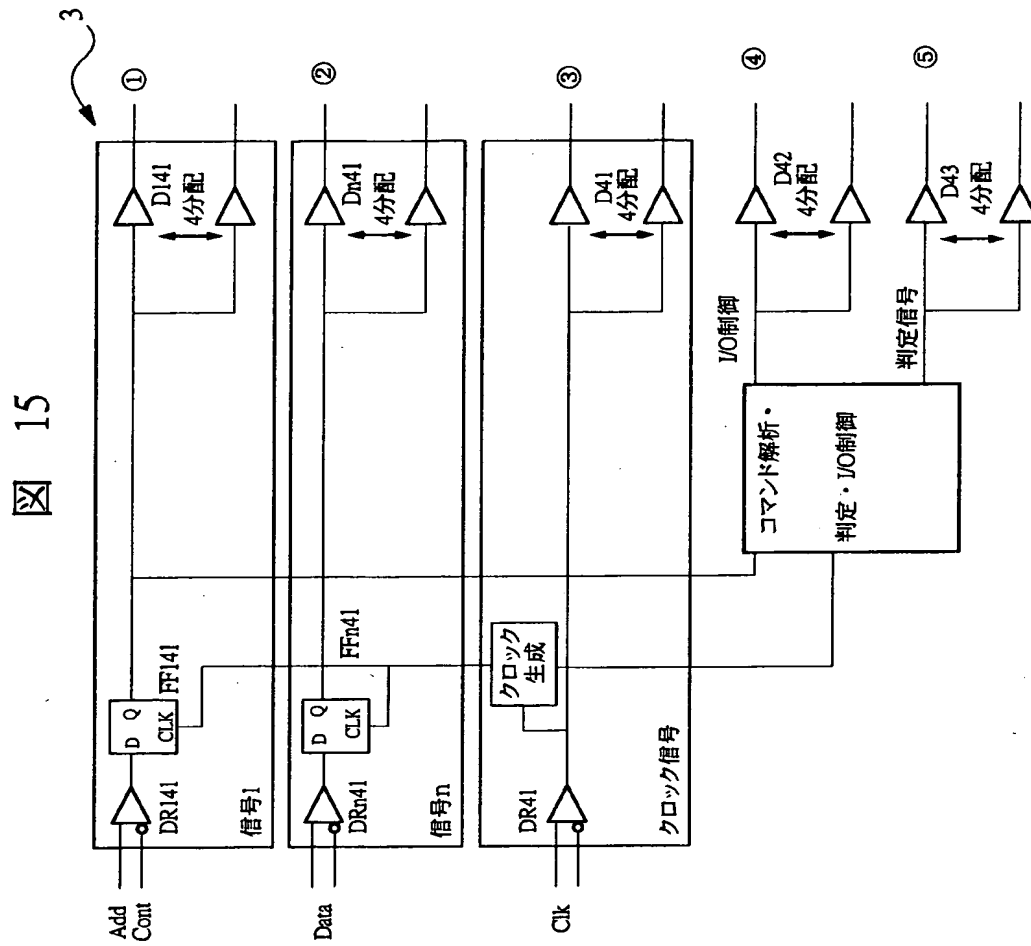
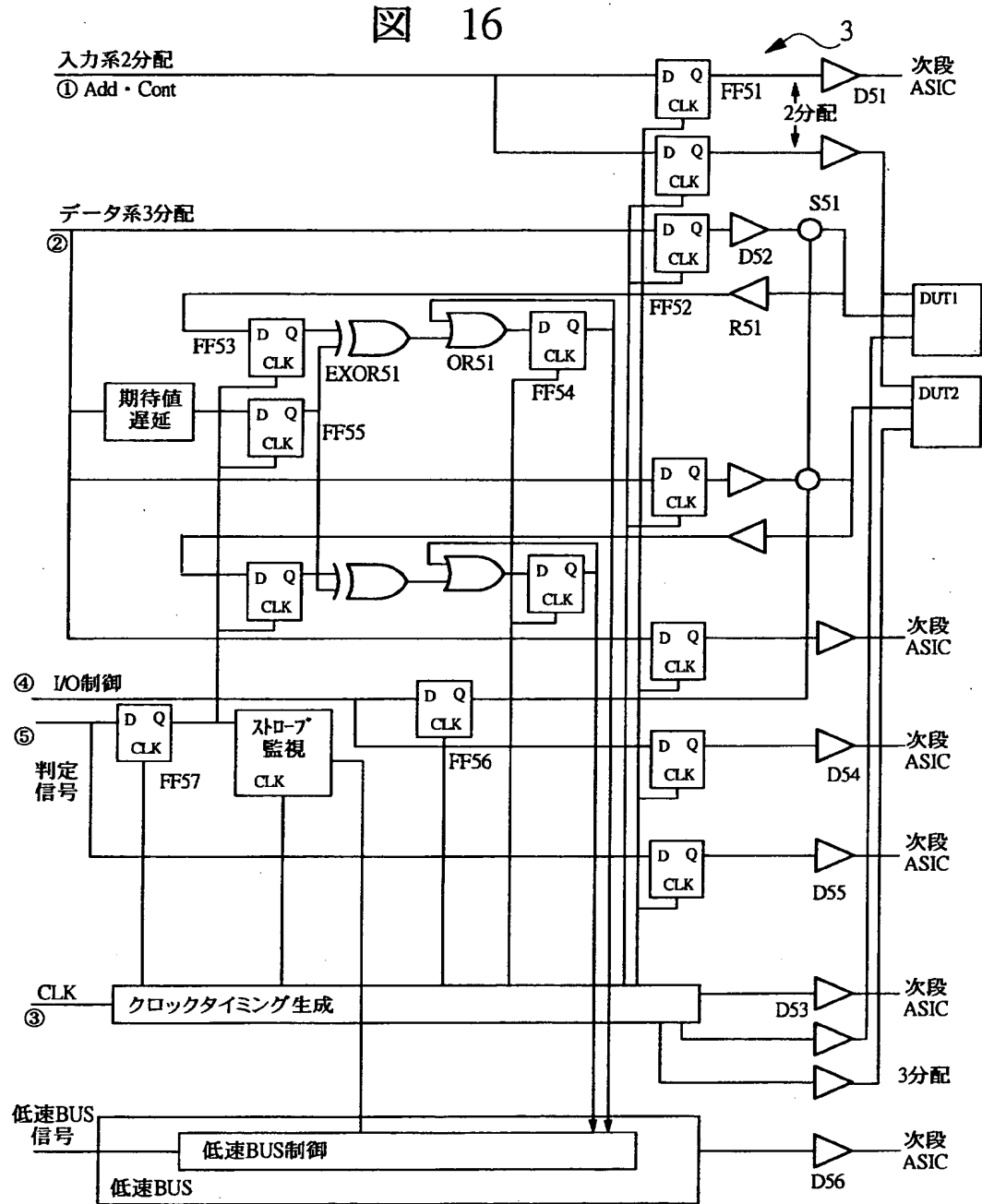


図 14

【図 1 5】

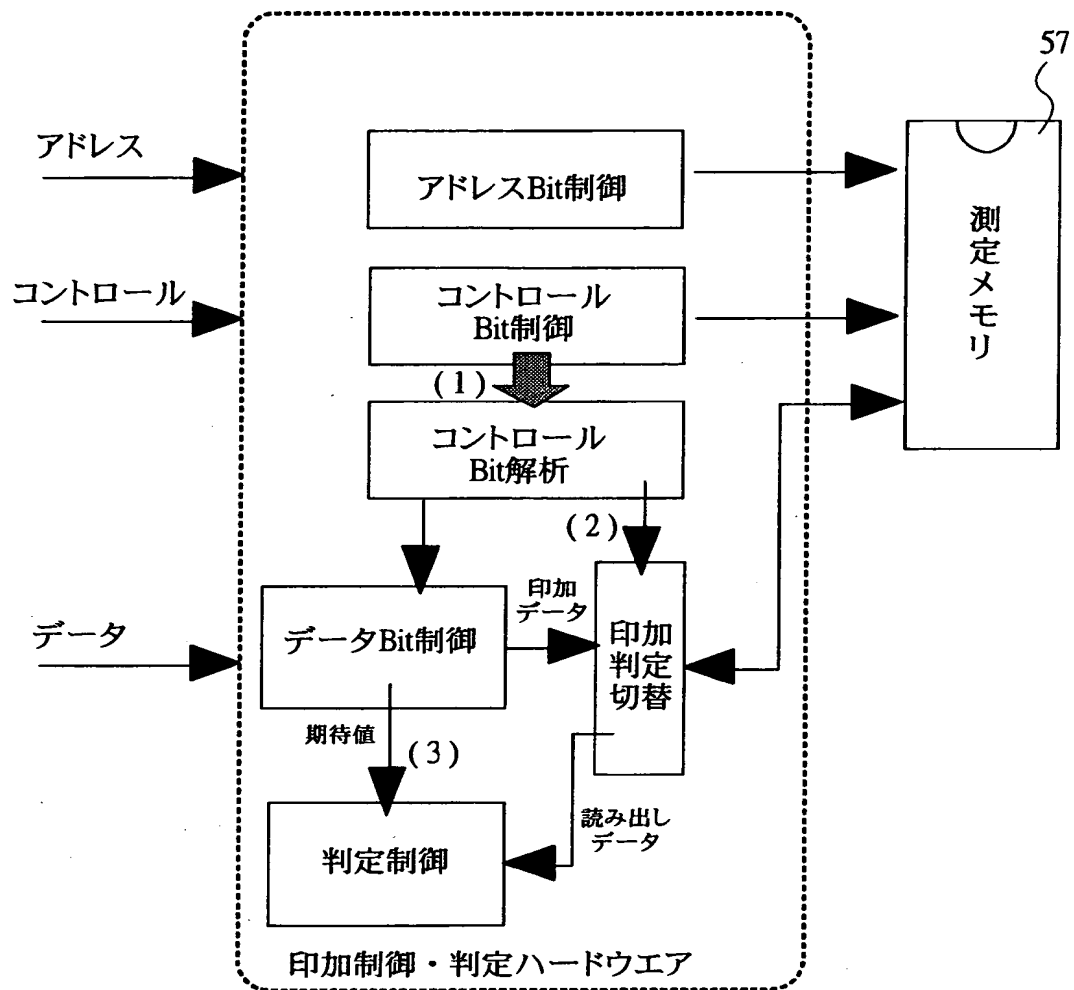


【図 1 6】

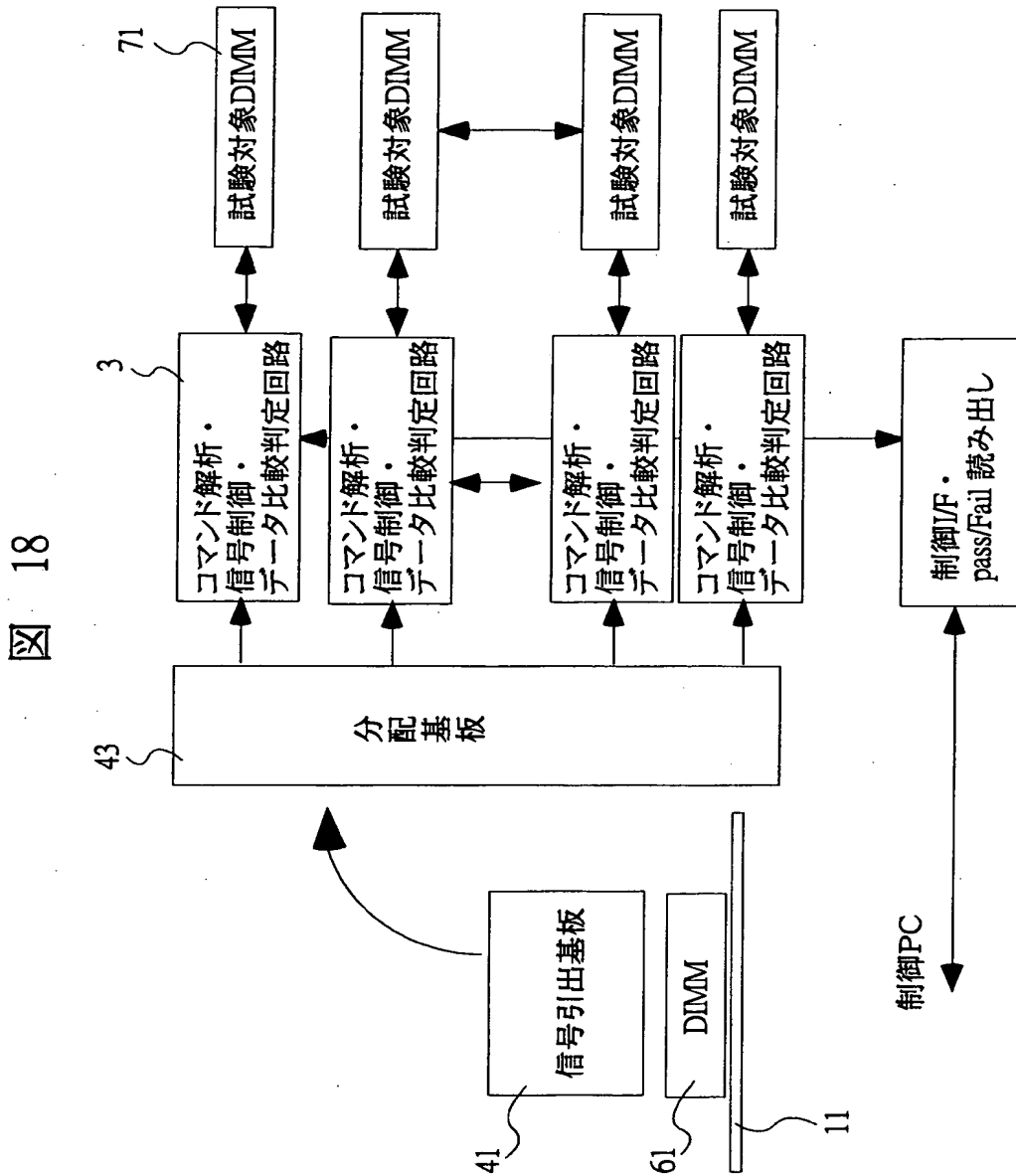


【図 1 7】

図 17

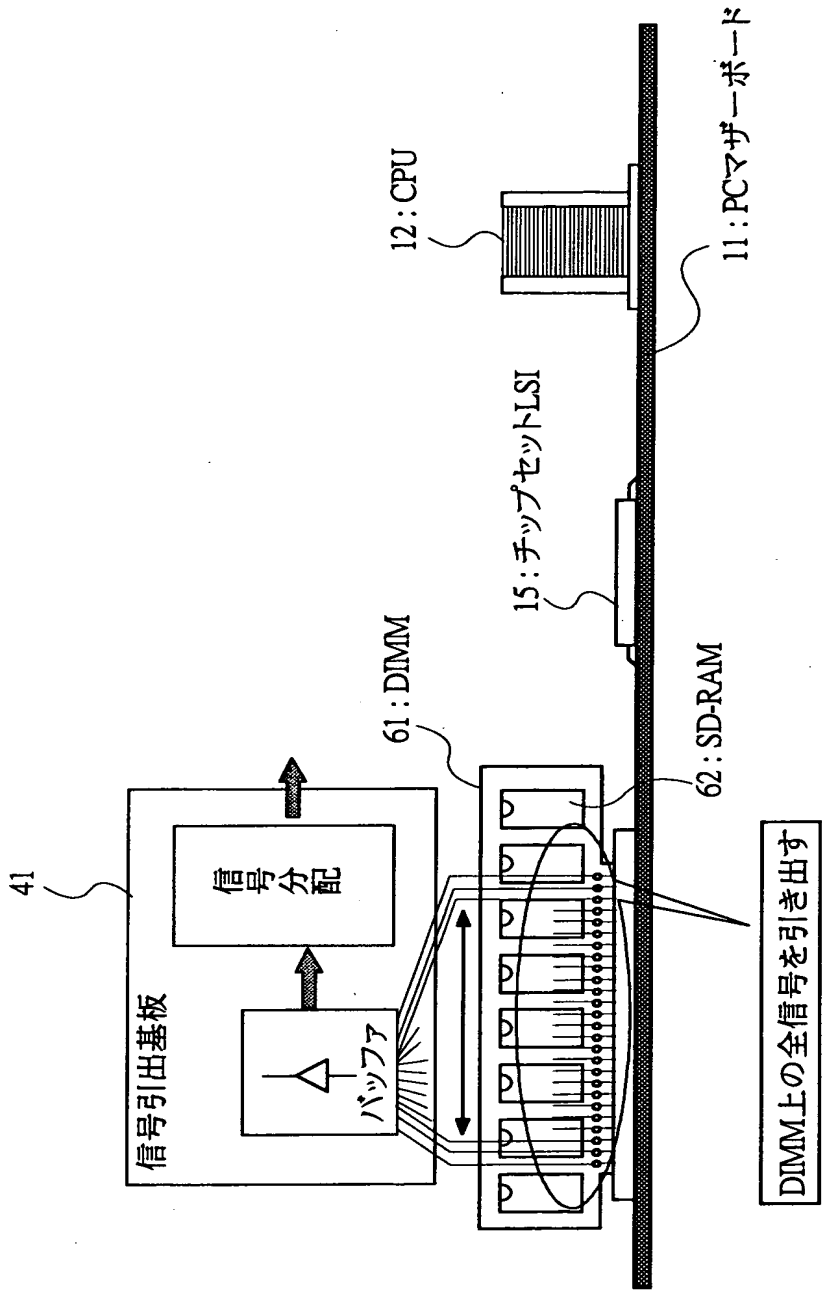


【図 1 8】



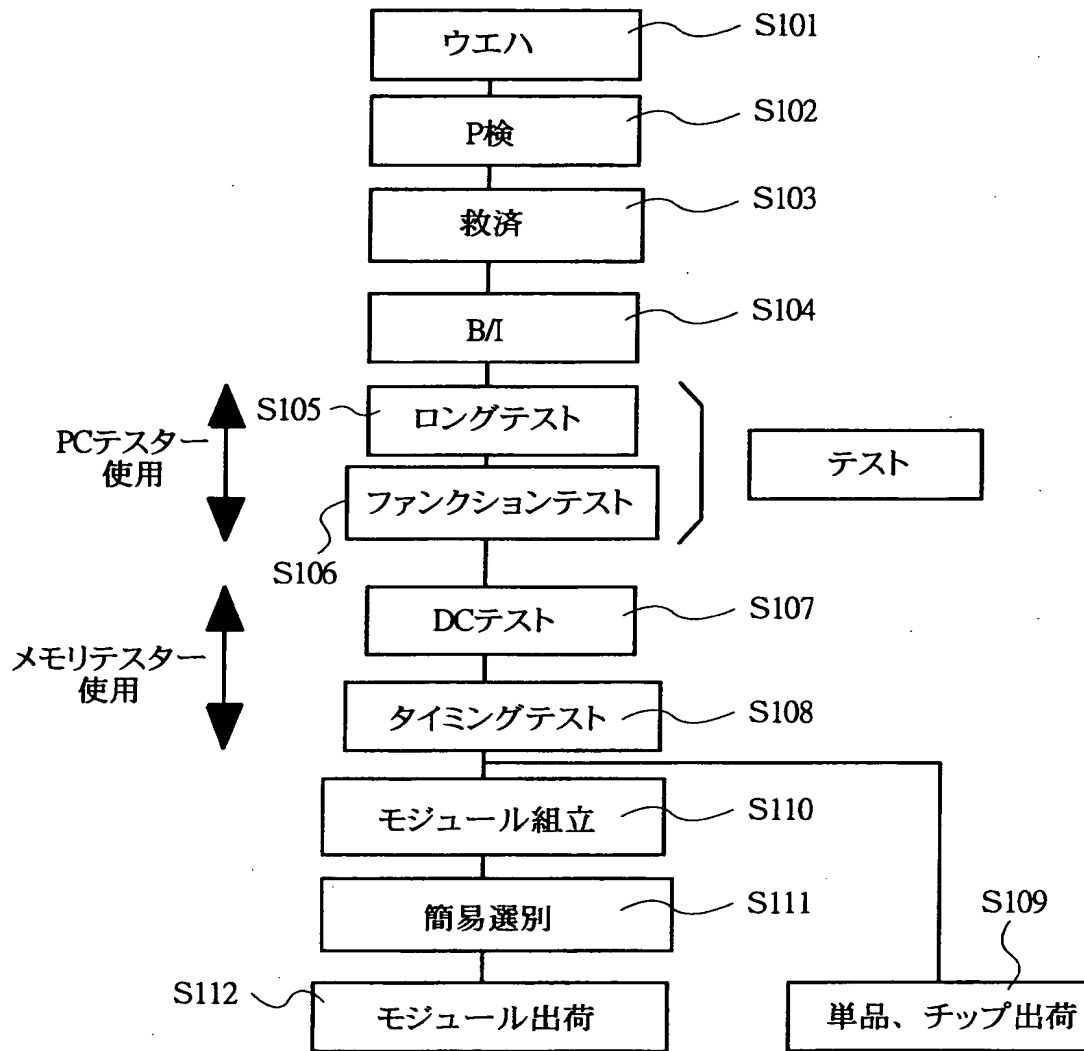
【図 1 9】

図 19



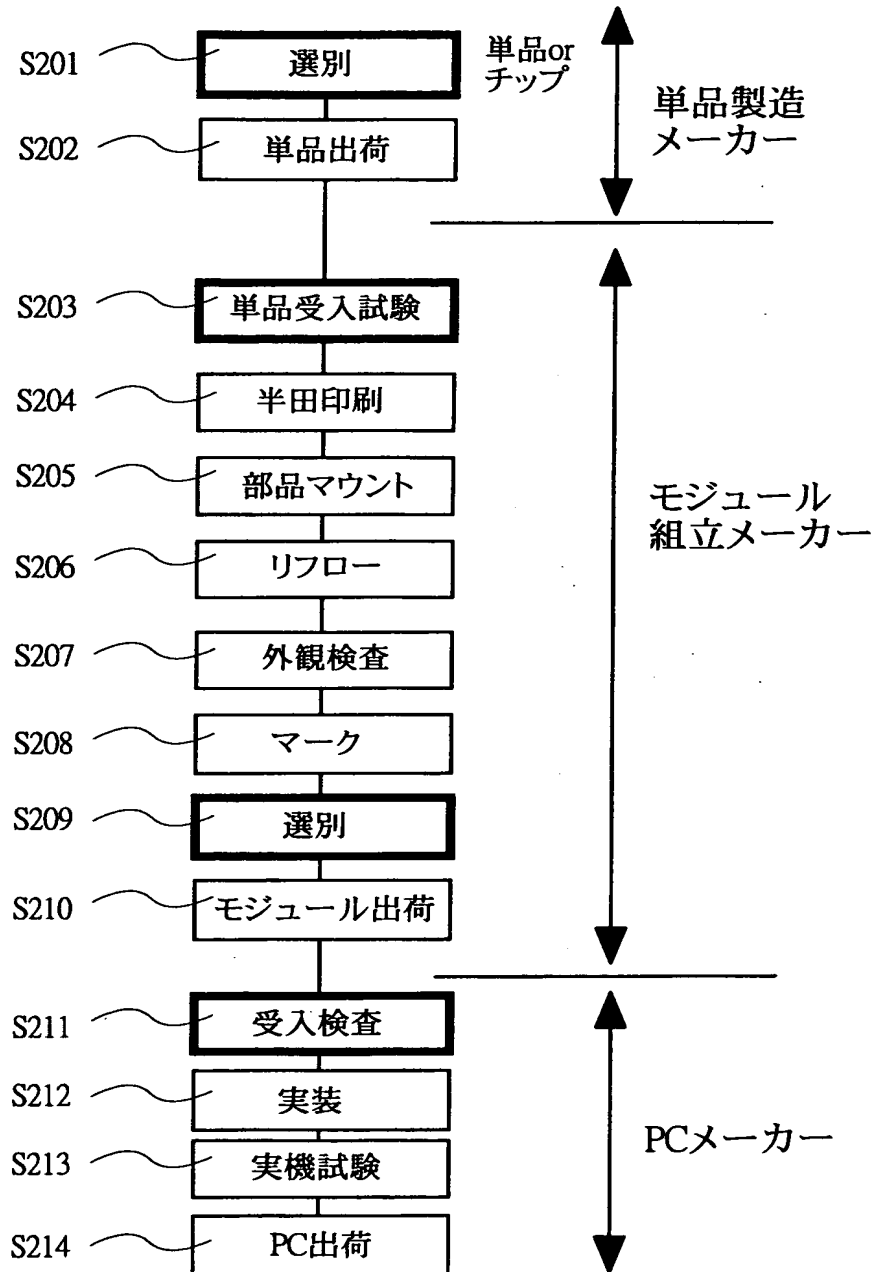
【図 2 0】

図 20



【図 2 1】

図 21



【書類名】 要約書

【要約】

【課題】 パーソナルコンピュータなどを利用して、より実使用状態に近い条件にて測定対象製品を試験することができ、また測定対象製品を安価に高精度で選別することができるメモリテストシステムを提供する。

【解決手段】 P C テスタであって、基準となるメモリモジュールが搭載された測定 P C ユニット 1 と、この測定 P C から取り出された信号を分配する信号分配ユニット 2 と、この分配された信号を用いて多数個同時測定される測定対象製品が実装される複数の P F B 3 と、試験の実施状況などを表示する表示パネル 4 と、システムの動作電圧を発生する電源 5 と、試験条件の選択、解析などの制御を行う制御 P C 6 などから構成され、測定 P C ユニット 1 内の P C マザーボード上におけるチップセット L S I からのメモリモジュール上のメモリ単体、またはメモリモジュールへの信号を取り出して実使用条件と同一の試験を可能とする。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日	1990年 8月31日
[変更理由]	新規登録
住 所	東京都千代田区神田駿河台4丁目6番地
氏 名	株式会社日立製作所

出 願 人 履 歴 情 報

識別番号 [000233480]

1. 変更年月日	1994年 9月20日
[変更理由]	住所変更
住 所	東京都渋谷区東3丁目16番3号
氏 名	日立電子エンジニアリング株式会社